

# PATENT COOPERATION TREATY

**PCT**

## NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner  
US Department of Commerce  
United States Patent and Trademark  
Office, PCT  
2011 South Clark Place Room  
CP2/5C24  
Arlington, VA 22202  
ETATS-UNIS D'AMERIQUE  
in its capacity as elected Office

Date of mailing (day/month/year)  
20 June 2001 (20.06.01)

International application No.  
PCT/JP00/06625

Applicant's or agent's file reference  
P2639PCT-AJ

International filing date (day/month/year)  
26 September 2000 (26.09.00)

Priority date (day/month/year)  
07 October 1999 (07.10.99)

Applicant  
NAGASHIMA, Kazutaka et al

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International Preliminary Examining Authority on:  
27 March 2001 (27.03.01)

☐ in a notice effecting later election filed with the International Bureau on:

RECEIVED  
NOV 09 2001  
Technology Center 2600

2. The election ☒ was  
☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Authorized officer

Henrik Nyberg

Telephone No.: (41-22) 338.83.38

**This Page Blank (uspto)**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06621

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G09G3/36, 3/20  
G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G3/36, 3/20  
G02F1/133Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000  
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 9-319342, A (Sharp Corporation), 12 December, 1997 (12.12.97), Full text; Figs. 1 to 18 (Family: none)	1-23
A	JP, 61-5295, A (Casio Computer Co, Ltd.), 11 January, 1986 (11.01.86), Full text; Figs. 1 to 6 (Family: none)	1-23

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
11 December, 2000 (11.12.00)Date of mailing of the international search report  
16 January, 2001 (16.01.01)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**This Page Blank (uspto)**

## PCT REQUEST

1/4

F005428W000

<b>0</b>	<b>For receiving Office use only</b>	
<b>0-1</b>	International Application No.	
<b>0-2</b>	International Filing Date	
<b>0-3</b>	Name of receiving Office and "PCT International Application"	
<b>0-4</b>	<b>Form - PCT/RO/101 PCT Request</b>	
<b>0-4-1</b>	Prepared using	<b>PCT-EASY Version 2.91 (updated 01.01.2001)</b>
<b>0-5</b>	<b>Petition</b> The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
<b>0-6</b>	<b>Receiving Office (specified by the applicant)</b>	<b>Japanese Patent Office (RO/JP)</b>
<b>0-7</b>	<b>Applicant's or agent's file reference</b>	<b>F005428W000</b>
<b>I</b>	<b>Title of invention</b>	<b>DRIVING METHOD AND DRIVING CIRCUIT FOR ELECTRO-OPTICAL DEVICE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC APPARATUS</b>
<b>II</b>	<b>Applicant</b>	
<b>II-1</b>	This person is:	<b>applicant only</b>
<b>II-2</b>	Applicant for	<b>all designated States except US</b>
<b>II-4</b>	Name	<b>SEIKO EPSON CORPORATION</b>
<b>II-5</b>	Address:	<b>4-1, Nishi-Shinjuku 2-Chome Shinjuku-Ku, Nagano 163-0811 Japan</b>
<b>II-6</b>	State of nationality	<b>JP</b>
<b>II-7</b>	State of residence	<b>JP</b>
<b>III-1</b>	<b>Applicant and/or inventor</b>	
<b>III-1-1</b>	This person is:	<b>applicant and inventor</b>
<b>III-1-2</b>	Applicant for	<b>US only</b>
<b>III-1-4</b>	Name (LAST, First)	<b>ITO, Akihiko</b>
<b>III-1-5</b>	Address:	<b>c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-Shi, Nagano 392-8502 Japan</b>
<b>III-1-6</b>	State of nationality	<b>JP</b>
<b>III-1-7</b>	State of residence	<b>JP</b>

**This Page Blank (uspto)**

IV-1	<b>Agent or common representative; or address for correspondence</b> The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	<b>agent</b>
IV-1-1	Name (LAST, First)	<b>SUZUKI, Kisaburo</b>
IV-1-2	Address:	<b>c/o SEIKO EPSON CORPORATION 3-5, Owa 3-Chome Suwa-Shi, Nagano 392-8502 Japan</b>
IV-1-3	Telephone No.	<b>0266-52-3139</b>
IV-1-4	Facsimile No.	<b>0266-58-3243</b>
IV-2	<b>Additional agent(s)</b>	<b>additional agent(s) with same address as first named agent</b>
IV-2-1	Name(s)	<b>KAMIYANAGI, Masataka; SUZAWA, Osamu</b>
V	<b>Designation of States</b>	
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	--
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	<b>CN JP KR US</b>
V-5	<b>Precautionary Designation Statement</b> In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.	
V-6	<b>Exclusion(s) from precautionary designations</b>	<b>NONE</b>
VI-1	<b>Priority claim of earlier national application</b>	
VI-1-1	Filing date	<b>27 September 1999 (27.09.1999)</b>
VI-1-2	Number	<b>H11-273115</b>
VI-1-3	Country	<b>JP</b>
VI-2	<b>Priority claim of earlier national application</b>	
VI-2-1	Filing date	<b>29 September 1999 (29.09.1999)</b>
VI-2-2	Number	<b>H11-277540</b>
VI-2-3	Country	<b>JP</b>

**This Page Blank (uspto)**



## PCT REQUEST

VI-3	<b>Priority document request</b> The receiving Office is requested to prepare and transmit to the International Bureau a certified copy of the earlier application(s) identified above as item(s):	VI-1, VI-2	
VII-1	<b>International Searching Authority Chosen</b>	Japanese Patent Office (JPO) (ISA/JP)	
VIII	<b>Check list</b>	number of sheets	electronic file(s) attached
VIII-1	Request	4	-
VIII-2	Description	33	-
VIII-3	Claims	6	-
VIII-4	Abstract	1	f005428wo00.txt
VIII-5	Drawings	21	-
VIII-7	TOTAL	65	
	<b>Accompanying Items</b>	paper document(s) attached	electronic file(s) attached
VIII-8	Fee calculation sheet	✓	-
VIII-9	Separate signed power of attorney	✓	-
VIII-16	PCT-EASY diskette	-	diskette
VIII-18	Figure of the drawings which should accompany the abstract	2	
VIII-19	Language of filing of the international application	Japanese	
IX-1	Signature of applicant or agent		
IX-1-1	Name (LAST, First)	SUZUKI, Kisaburo	
IX-2	Signature of applicant or agent		
IX-2-1	Name (LAST, First)	KAMIYANAGI, Masataka	
IX-3	Signature of applicant or agent		
IX-3-1	Name (LAST, First)	SUZAWA, Osamu	

## FOR RECEIVING OFFICE USE ONLY

10-1	Date of actual receipt of the purported international application	
10-2	Drawings:	
10-2-1	Received	
10-2-2	Not received	
10-3	Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application	
10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	ISA/JP
10-6	Transmittal of search copy delayed until search fee is paid	

**This Page Blank (uspto)**

PCT REQUEST

4/4

F005428W000

FOR INTERNATIONAL BUREAU USE ONLY

11-1	Date of receipt of the record copy by the International Bureau	
------	---	--

**This Page Blank (uspto)**

P C T

## 国際調査報告

(法 8 条、法施行規則第40、41条)  
〔P C T 1 8 条、P C T 規則43、44〕

出願人又は代理人 F 0 0 5 4 2 8 の書類記号 WO 0 0	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0) 及び下記5を参照すること。	
国際出願番号 P C T / J P 0 0 / 0 6 6 2 1	国際出願日 (日.月.年) 2 6 . 0 9 . 0 0	優先日 (日.月.年) 2 7 . 0 9 . 9 9
出願人 (氏名又は名称) セイコーエプソン株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (P C T 1 8 条) の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 (P C T 規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 2 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

**This Page Blank (uspto)**

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

IntCl<sup>1</sup> G09G3/36, 3/20  
G02F1/133

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

IntCl<sup>1</sup> G09G3/36, 3/20  
G02F1/133

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996  
日本国公開実用新案公報 1971-2000  
日本国登録実用新案公報 1994-2000  
日本国実用新案登録公報 1996-2000

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 9-319342, A (シャープ株式会社) 12. 12月. 1997 (12. 12. 97) 全文, 第1-18図, (ファミリー 無し)	1-23
A	JP, 61-5295, A (カシオ計算機株式会社) 11. 1月. 1986 (11. 01. 86) 全文, 第1-6図, (ファミリー無 し)	1-23

☐ C欄の続きにも文献が列举されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

## 国際調査を完了した日

11. 12. 00

## 国際調査報告の発送日

16.01.01

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

## 特許庁審査官 (権限のある職員)

小松 徹三

2G

8326

電話番号 03-3581-1101 内線 3226

**This Page Blank (uspto)**



(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001 年 4 月 5 日 (05.04.2001)

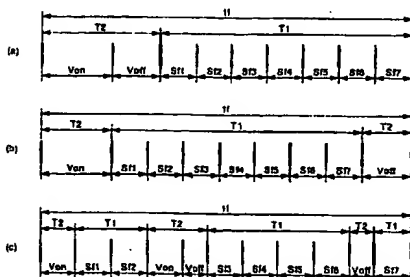
PCT

(10) 国際公開番号  
WO 01/24155 A1

- (51) 国際特許分類: G09G 3/36, 3/20, G02F 1/133  
(21) 国際出願番号: PCT/JP00/06621  
(22) 国際出願日: 2000 年 9 月 26 日 (26.09.2000)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願平11/273115 1999 年 9 月 27 日 (27.09.1999) JP  
特願平11/277540 1999 年 9 月 29 日 (29.09.1999) JP  
(71) 出願人 (米国を除く全ての指定国について): セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP]; 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo (JP).  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてののみ): 伊藤昭彦 (ITO, Akihiko) [JP/JP]; 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano (JP).  
(74) 代理人: 鈴木喜三郎, 外 (SUZUKI, Kisaburo et al.); 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano (JP).  
(81) 指定国 (国内): CN, JP, KR, US.  
添付公開書類:  
— 国際調査報告書  
2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: METHOD OF DRIVING ELECTROOPTIC DEVICE, DRIVING CIRCUIT, ELECTROOPTIC DEVICE, AND ELECTRONIC APPARATUS

(54) 発明の名称: 電気光学装置の駆動方法、駆動回路及び電気光学装置並びに電子機器



(57) Abstract: A highly versatile device for gradation display by applying a binary signal to a data line is provided. In eight-gradation display, a frame (1f) is divided into a first period (T1) in which a signal binarized according to the gradation data is applied to a liquid crystal layer and a second period (T2) in which H-level voltage is applied to the liquid crystal layer according to the threshold voltage of the liquid crystal. The first period (T1) is divided further into seven sub-fields (Sf1 - Sf7) according to the gradation characteristics of the electrooptic device, and the proportion of the ON period or OFF period of a pixel to the frame is controlled by writing H-level or L-level according to the gradation of the relevant pixel in each sub-field.



---

(57) 要約:

データ線に2値化信号を印加して階調表示を行う場合に、汎用性の高い装置を提供する。8階調表示を行う場合、1フレーム(1f)を、階調データに応じて2値化された信号を液晶層に印加する第1の期間T1と、液晶のしきい値電圧に応じてHレベルの電圧を液晶層に印加する第2の期間T2に分割する。第1の期間T1については、さらに、電気光学装置の階調特性に応じて7つのサブフィールド(Sf1～Sf7)に分割し、各サブフィールドにおいて画素の階調に応じてHまたはLレベルを書き込んで、1フレームにおいて、当該画素のオン期間またはオフ期間に占める割合を制御する。

## 明 細 書

電気光学装置の駆動方法、駆動回路及び電気光学装置並びに電子機器

## 5 技術分野

本発明は、パルス幅変調により階調表示制御を行う電気光学装置の駆動方法、駆動回路および電気光学装置並びに電子機器に関する。

## 背景従来

10 電気光学装置、例えば、電気光学材料として液晶を用いた液晶表示装置は、陰極線管（CRT）に代わるディスプレイデバイスとして、各種情報処理機器の表示部や液晶テレビなどに広く用いられている。

ここで、従来の電気光学装置は、例えば、次のように構成されている。すなわち、従来の電気光学装置は、マトリクス状に配列した画素電極と、この画素電極に接続された TFT（Thin Film Transistor：薄膜トランジスタ）のようなスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板との間に充填された電気光学材料たる液晶とから構成される。そして、このような構成において、走査線を介してスイッチング素子に走査信号を印加すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して画素電極に、階調に応じた電圧の画像信号を印加すると、当該画素電極および対向電極の間の液晶層に画像信号の電圧に応じた電荷が蓄積される。電荷蓄積後、当該スイッチング素子をオフ状態としても、当該液晶層における電荷の蓄積は、液晶層自身の容量性や蓄積容量などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調に応じて制御すると、画素毎に液晶の配向状態が変化するので、画素毎に濃度

20 変化することになる。このため、階調表示することが可能となるのである。

25 この際、各画素の液晶層に電荷を蓄積させるのは一部の期間で良いため、第1に、走査線駆動回路によって、各走査線を順次選択するとともに、第2に、走査線の選択期間において、データ線駆動回路によって、データ線を順次選択し、第3に、選択されたデー

タ線に、階調に応じた電圧の画像信号をサンプリングする構成により、走査線およびデータ線を複数の画素について共通化した時分割マルチプレックス駆動が可能となる。

#### 発明の開示

- 5       しかしながら、データ線に印加される画像信号は、階調に対応する電圧、すなわちアナログ信号である。このため、電気光学装置の周辺回路には、D/A変換回路やオペアンプなどが必要となるので、装置全体のコスト高を招致してしまう。くわえて、これらのD/A変換回路、オペアンプなどの特性や、各種の配線抵抗などの不均一性に起因して、表示ムラが発生するので、高品質な表示が極めて困難である、という問題があり、
- 10   特に、高精細な表示を行う場合に顕著となる。

さらに、液晶等の電気光学物質において、印加電圧と透過率との関係は、電気光学物質の種類に応じて相違する。このため、電気光学装置を駆動する駆動回路としては、各種の電気光学装置に対応できる汎用のものが望まれる。

- 本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、高
- 15   品質・高精細な階調表示が可能な電気光学装置、その駆動方法、その駆動回路、さらには、この電気光学装置を用いた電子機器を提供することにある。

- 上記目的を達成するために、本件第1の発明は、マトリクス状に配設された複数の画素を階調表示させる電気光学装置の駆動方法であって、1フレームの一部を占める第1の期間において、当該期間を複数のサブフィールドに分割する一方、各サブフィールド
- 20   において、各画素の階調に応じて当該画素のオンまたはオフを制御し、1フレームの他の期間である第2の期間においては、当該電気光学装置に用いられる電気光学材料の印加電圧に対する透過率特性のしきい値電圧に応じて画素をオンまたはオフとすることを特徴とする。

- この第1の発明によれば、1フレームの第1の期間において、画素のオン（またはオフ）の期間
- 25   が、当該画素の階調に応じてパルス幅変調される結果、実効値制御による階調表示が行われることになる。この際、各サブフィールドにおいては、画素のオンまたはオフを指示するだけで済む。

したがって、第1の発明では、画素への印加信号がデジタル信号となるので、素子特性や配線抵抗などの不均一性に起因する表示ムラが抑えられる結果、高品質かつ高精細な階調表示が可能と

なる。くわえて、第2の期間においては電気光学材料のしきい値電圧に応じて画素のオン・オフが制御されるので、液晶の組成、セルギャップ、あるいは温度特性が異なる場合でも、第2の期間中に適切な電圧を電気光学材料に印加することができる。この結果、材料特性の相違を第2の期間で吸収することができる。なお、第2の期間は連続している必要はなく1フレーム期間中に分散されていてもよい。

なお、本発明において、1フレームとは、従来において、水平走査信号および垂直走査信号に同期して水平走査および垂直走査することにより、1枚のラスト画像を形成するのに要する期間という意味合いで用いている。

ここで、第1の発明の一態様においては、前記画素は、複数の走査線と複数のデータ線との各交差に対応して設けられ、当該走査線に走査信号が供給されると、当該データ線に印加されている電圧にしたがってオンオフするものであり、前記第1の期間においては、前記サブフィールド毎に、前記走査信号を前記走査線の各々に順次供給し、各画素の階調に応じてオンまたはオフを指示する信号を、各画素に対応する各データ線に各々供給し、前記第2の期間においては、前記走査信号を前記走査線の各々に順次供給し、前記電気光学物質の印加電圧に対する透過率特性のしきい値に応じて画素のオンまたはオフを指示する信号を、各データ線に供給することを特徴とする。そして、この態様では、この動作がすべての画素に対して行われることになる。

ここで、前記第2の期間は、全ての画素をオンするオン期間と全ての画素をオフするオフ期間とから構成されており、前記オン期間の長さは前記電気光学物質の印加電圧に対する透過率特性のしきい値に応じて決められることが望ましい。さらに、温度を検出し、検出された温度に応じて、前記第2の期間における前記オン期間の長さを決めるようにしてもよい。この場合には、環境温度の変化に伴って、透過率特性のしきい値が変化してもこれに追随してオン期間を可変することが可能となる。ここで、温度を検出するとは、電気光学装置自体の温度を直接検出してもよいし、電気光学装置周辺の温度を検出してもよい。つまり、電気光学物質の特性に影響を与える温度変化を検出することを指す。

また、上記目的を達成するために、本件第2の発明は、複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、前記画素電極毎に設けられ、当該走査

線に走査信号が供給されると、当該データ線と当該画素電極との間を導通させるスイッチング素子とからなる画素を駆動する電気光学装置の駆動回路であって、1フレームの一部を構成する第1の期間においては、当該期間を分割したサブフィールド毎に前記走査信号を前記走査線の各々に順次供給し、1フレーム中の第1の期間以外の第2の期間  
5 においては、前記スイッチング素子を導通させる走査信号を前記走査線の各々に順次供給する走査線駆動回路と、前記第1の期間においては、各画素の階調に応じて各サブフィールド毎に各画素のオンまたはオフを指示する信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給し、前記第2の期間においては、当該電気光学装置に用いられる電気光学物質の印加電圧に  
10 対する透過率特性の閾値に応じて画素をオンまたはオフを指示する信号を、当該画素に対応するデータ線に供給するデータ線駆動回路とを具備することを特徴とする。

この第2の発明によれば、上記第1の発明と同様な理由により、画素への印加信号がデジタル信号となるので、素子特性や配線抵抗などの不均一性に起因する表示ムラが抑えられる結果、高品質かつ高精細な階調表示が可能となる。くわえて、第2の期間に  
15 においては電気光学材料のしきい値電圧に応じて画素のオン・オフが制御されるので、液晶の組成、セルギャップ、あるいは温度特性が異なる場合でも、第2の期間中に適切な電圧を電気光学材料に印加することができる。この結果、当該駆動回路の汎用性を高めることができる。

次に、上記目的を達成するために、本件第3の発明は、複数の走査線と複数のデータ  
20 線との各交差に対応して配設された画素電極と、前記画素電極毎に設けられ、当該走査線を介して供給される走査信号によって、当該データ線と当該画素電極との導通を制御するスイッチング素子とを備えた素子基板と、前記画素電極に対して対向配置された対向電極を備える対向基板と、前記素子基板と前記対向基板との間に挟持された電気光学材料と、1フレームの一部を構成する第1の期間においては、当該期間を分割したサブ  
25 フィールド毎に前記走査信号を前記走査線の各々に順次供給し、1フレーム中の第1の期間以外の第2の期間においては、前記スイッチング素子を導通させる走査信号を前記走査線の各々に順次供給する走査線駆動回路と、前記第1の期間においては、各画素の階調に応じて各サブフィールド毎に各画素のオンまたはオフを指示する2値信号を、そ

れぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給し、前記第2の期間においては、当該電気光学装置に用いられる電気光学物質の印加電圧に対する透過率特性の閾値に応じて画素をオンまたはオフを指示する2値信号を、当該画素に対応するデータ線に供給するデータ線駆動回路とを具備する

5      ことを特徴とする。

この第3の発明によれば、上記第1および第2の発明と同様な理由により、画素への印加信号がデジタル信号となるので、素子特性や配線抵抗などの不均一性に起因する表示ムラが抑えられる結果、高品質かつ高精細な階調表示が可能となる。

さて、第3の発明において、前記対向電極に2値信号を印加し、前記2値信号のレベルに応じて、画素のオンまたはオフを指示する信号の極性を反転することが望ましい。

10      対向電極に一方のレベルが印加される場合と、他方のレベルが印加される場合とにおいて、両者レベルの中間値を基準として考えると、画素に印加される電圧は、互いに極性が反転し、かつ、絶対値が等しくなる。このため、画素電極と対向電極とに挟持される電気光学材料に直流成分が印加されるのを防止することが可能となる。

また、第3の発明において、前記対向電極の電位を一定の基準電位に固定し、画素のオンまたはオフを指示する信号の極性を一定周期で反転するようにしてもよい。さらに、前記画素のオンまたはオフを指示する信号は、前記基準電位を中心に極性を反転した3値信号であってもよい。このような構成では、基準電位を中心として考えると、画素に印加される電圧は、互いに極性が反転し、かつ、絶対値が等しくなる。このため、画素

15      電極と対向電極とに挟持される電気光学材料に直流成分が印加されるのを防止することが可能となる。

また、第3の発明の一の態様によれば、前記素子基板は、半導体基板からなり、前記走査線駆動回路および前記データ線駆動回路は、前記素子基板に形成される一方、前記画素電極は反射性を有していることが望ましい。半導体基板の電子移動度は高いので、

25      当該基板に形成されるスイッチング素子や、駆動回路の構成素子などについて、高速応答性とともにより小サイズ化を図ること可能となる。なお、半導体基板は不透明であるので、電気光学装置は反射型として用いられることとなる。

さらに、上記目的を達成するために、本件第4の発明に係る電子機器にあっては、上

記電気光学装置を備えているので、D/A変換回路やオペアンプなどが不要となる上に、さらに、これらのD/A変換回路、オペアンプなどの特性や、各種の配線抵抗などの不均一性の影響を受けない。したがって、この電気機器によれば、コストが抑えられるとともに、高品質かつ高精細な階調表示が可能となる。

5

#### 図面の簡単な説明

図1(a)は、本発明の実施形態に係る電気光学装置における電圧－透過率特性を示す図であり、(b)は、液晶の種類による電圧－透過率特性の変化を示す図である。

図2(a)、(b)、および(c)は、同電気光学装置におけるVon期間、Voff期間  
10 およびサブフィールドの概念を説明するための図である。

図3は、同電気光学装置の電氣的な構成を示すブロック図である。

図4(a)、(b)および(c)は、それぞれ同電気光学装置の画素の一態様を示す  
ブロック図である。

図5は、同電気光学装置におけるスタートパルス生成回路の構成を示すブロック図で  
15 ある。

図6は、同電気光学装置におけるデータ線駆動回路の構成を示すブロック図である。

図7(a)および(b)は、それぞれ同電気光学装置におけるデータ変換回路の階調  
データの変換内容と、Von期間及びVoff期間の2値信号の内容を示すテーブルである。

図8は、同電気光学装置の動作を示すタイミングチャートである。

図9は、同電気光学装置において対向基板に印加される電圧、および、画素電極に印  
20 加される電圧を、フレーム単位で示すタイミングチャートである。

図10は、同電気光学装置におけるデータ線駆動回路の応用形態を示すブロック図で  
ある。

図11は、同応用形態に係るデータ線駆動回路の動作を示すタイミングチャートであ  
25 る。

図12は、同電気光学装置の応用形態におけるクロック信号供給制御回路の構成を示  
すブロック図である。

図13は、同クロック信号供給制御回路の動作を示すタイミングチャートである。



図 1 4 は、同電気光学装置の応用形態に係る 3 値信号生成回路の回路図である。

図 1 5 は、同電気光学装置における対向基板に印加される電圧、および、画素電極に印加される電圧を、フレーム単位で示すタイミングチャートである。

図 1 6 は、同電気光学装置の構造を示す平面図である。

5 図 1 7 は、同電気光学装置の構造を示す断面図である。

図 1 8 は、応用形態における動作を示すタイミングチャートである。

図 1 9 は、同電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

10 図 2 0 は、同電気光学装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

図 2 1 は、同電気光学装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

#### 符号の説明

- 15 1 0 0 ……電気光学装置
- 1 0 1 ……素子基板
- 1 0 1 a ……表示領域
- 1 0 2 ……対向基板
- 1 0 5 ……液晶（電気光学材料）
- 20 1 0 8 ……対向電極
- 1 1 2 ……走査線
- 1 1 4 ……データ線
- 1 1 6 ……トランジスタ
- 1 1 8 ……画素電極
- 25 1 1 9 ……蓄積容量
- 1 3 0 ……走査線駆動回路
- 1 4 0 ……データ線駆動回路
- 1 4 1 0 ……Xシフトレジスタ

1 4 2 0.....第1のラッチ回路

1 4 3 0.....第2のラッチ回路

1 4 4 0.....3値信号生成回路

2 0 0.....タイミング信号生成回路

5 2 1 0.....スタートパルス発生回路

3 0 0.....データ変換回路

4 0 0.....クロック信号供給制御回路

発明を実施するための最良の形態

10 以下、本発明の実施形態について図面を参照して説明する。

<理論的前提>

まず、本実施形態について説明する前に、本実施形態に係る電気光学装置の前提となるサブフィールドなる概念について説明する。一般に、電気光学材料として液晶を用いた液晶装置において、液晶層に印加される電圧実効値（電圧を一定として、オン電圧の  
15 パルス幅を変化させた場合）と相対透過率（または反射率）との関係は、電圧無印加状態において黒表示を行うノーマリーブラックモードを例にとれば、図1（a）に示されるような関係にある。すなわち、液晶層に印加される電圧実効値が増すにつれて、透過率が非線形に増加して飽和する。なお、ここでいう相対透過率とは、透過光量の最低値および最高値を、それぞれ0%および100%として正規化したものである。

20 ここで、本実施形態に係る電気光学装置が8階調表示を行うものとし、3ビットで示される階調（濃淡）データが、それぞれ同図に示される透過率を指示するものとする。この際、透過率0%と透過率100%とを除いた中間透過率において液晶層に印加される電圧実効値を、それぞれ、 $V_1$ 、 $V_2$ 、…、 $V_6$ とすると、従来では、これらの電圧が、データ線を介して液晶層に印加される構成となっていた。このため、従来の技術で  
25 説明したように、中間階調に対応する電圧 $V_1$ 、 $V_2$ 、…、 $V_6$ については、D/A変換回路やオペアンプなどのアナログ回路の特性や、各種の配線抵抗などのばらつきによる影響を受けやすく、さらに、画素同士でみて不均一となり易いので、高品質かつ高精細な階調表示が困難であった。

そこで、本実施形態に係る電気光学装置では、第1に、液晶層に瞬間的に印加する電圧を、例えば、Lレベルに相当する電圧 $V_L (=0)$ と、Hレベルに相当する電圧 $V_H$ のいずれかとする構成を採用する。

一方、この構成において、1フレーム(1f)の全期間にわたって液晶層に電圧 $V_L$ を印加すれば、当該全期間においてオフ表示となるから、透過率は0%となる。さらに、1フィールド期間のうち、液晶層に電圧 $V_L$ を印加する期間と、電圧 $V_H$ を印加する期間との比率を制御して、液晶層に印加される電圧実効値が $V_1$ 、 $V_2$ 、…、 $V_6$ となるように構成すれば、当該電圧に対応する階調表示が可能となるはずである。また、液晶層に印加される電圧実効値が $V_7$ を越えても、飽和性であるがゆえに透過率は100%となる。

ここで、透過率が0%から立ち上がり始める電圧値を $V_a$ とすれば、 $V_1$ 、 $V_2$ 、…、 $V_6$ は、 $V_a + (V_1 - V_a)$ 、 $V_a + (V_2 - V_a)$ 、…、 $V_a + (V_6 - V_a)$ 、と表すことができる。換言すれば、必要な透過率に対応する実効電圧値を $V_d$ とすれば、 $V_d$ は、透過率0%から立ち上がり始める電圧値 $V_a$ と $V_d - V_a$ の合計として与えられる。また、上述したように、本実施形態においては、1フレーム期間のうち、液晶層に電圧 $V_L$ を印加する期間と、電圧 $V_H$ を印加する期間との比率を制御して、液晶層に印加される電圧実効値が $V_d$ となるようにする。

そこで、本実施形態に係る電気光学装置では、第2に、1フレーム(1f)期間の一部の期間(第1の期間)を階調データに応じた実効電圧値 $V_d - V_a$ を発生させるために必要な期間として確保し、当該期間を複数の期間に分割し、階調データに基づいて、各期間毎に液晶層に電圧 $V_L$ を印加するか、電圧 $V_H$ を印加するかを決定し、これにより液晶層に $V_d - V_a$ なる値の実効電圧を印加する。以下の説明では、分割された複数の期間をサブフィールドと称することにする。

また、本実施形態に係る電気光学装置では、第3に、1フレーム(1f)期間の他の期間(第2の期間：サブフィールド以外の期間)において、透過率0%から立ち上がり始める電圧値 $V_a$ が実効電圧値として液晶層に印加されるように、液晶層に電圧 $V_L$ を印加するか、電圧 $V_H$ を印加するかを決定する。なお、以下の説明では、液晶層に電圧 $V_H$ を印加する期間を $V_{on}$ 期間、液晶層に電圧 $V_L$ を印加する期間を $V_{off}$ 期間と称する。

ところで、液晶の印加電圧に対する透過率特性において、そのしきい値電圧  $V_{th}$  は、液晶の組成や液晶層の厚さ（セルギャップ）あるいは環境温度によって変化する。ここで、しきい値電圧とは、透過率 10 % を得るのに必要な液晶に印加する電圧である。図 1 (b) に示す例では、透過率特性 X、Y、Z の順にしきい値電圧  $V_{th}$  が大きくなる。

5    ここで、階調表示に必要な実効電圧は、透過率特性 X の場合には  $V_{ax}$  から  $V_{bx}$  までの範囲にあり、一方、透過率特性 Z の場合には  $V_{az}$  から  $V_{bz}$  までの範囲にある。したがって、液晶の種類によって、階調表示に必要な実効電圧の範囲が異なる。電圧  $V_a$  は、液晶の種類によって相違し、しきい値電圧  $V_{th}$  に応じて定まる値である。換言すれば、電気光学装置に用いられる液晶のしきい値電圧  $V_{th}$  に応じて、電圧  $V_a$  は変化する。一方、電気光  
10    学装置の駆動回路においては、各種の電気光学装置に対応できる汎用のものが望まれる。

そこで、本実施形態に係る電気光学装置では、第 4 に、電気光学装置に用いられる液晶のしきい値電圧  $V_{th}$  に応じて、上述した他の期間（第 2 の期間  $T_2$ ）中に液晶層に電圧  $V_H$  を印加する  $V_{on}$  期間を可変するようにしている。

図 2 に、1 フレームの分割の態様を示す。図 2 (a) は、1 フレームの開始直後から  
15    第 2 の期間  $T_2$  が開始し、これが終了した後、サブフィールドに分割された第 1 の期間が開始する態様である。また、図 2 (b) は第 2 の期間  $T_2$  の  $V_{on}$  期間と  $V_{off}$  期間とが分離されており、これらの期間の間に第 1 の期間  $T_1$  が介挿されている態様である。さらに、図 2 (c) は、第 1 の期間  $T_1$  の中に、第 2 の期間  $T_2$  が分散されている態様である。液晶の階調表示はそこに印加される電圧の実効値で定まるため、1 フレームの中  
20    で各サブフィールドや  $V_{on}$  期間、 $V_{off}$  期間をどのように配置してもよい。

ここで、図 1 (a) に示すように階調データが 3 ビットであるとすれば、図 2 に示すように上述した第 1 の期間  $T_1$  を 7 つの期間に分割する。この分割した 7 つの期間を便宜的にサブフィールド  $Sf_1$ 、 $Sf_2$ 、…、 $Sf_6$ 、 $Sf_7$  と称することにする。そして例えば、この電気光学装置に用いられる液晶の透過率特性が図 1 (b) に示す X であるとする。この場合には、まず、第 2 の期間  $T_2$  において、電圧  $V_{ax}$  に相当する実効電圧を液晶に印加する必要がある。ここで、電圧実効値は、電圧瞬時値の 2 乗を 1 周期（1 フレーム）にわたって平均化した平方根で与えられる。このため、電圧  $V_H$  を印加する  $V_{on}$  期間を、1 フレーム（1 f）に対して  $(V_{ax}/V_H)^2$  の期間に設定する。これに

より、すべての画素に対して、階調データとは関係無く、少なくとも液晶層に  $V_{ax}$  といった電圧値を実効電圧として印加することができる。

また、ある画素の階調データが (0 0 1) である場合 (すなわち、当該画素の透過率を 14.3% とする階調表示を行う場合)、1 フレーム (1 f) 期間のうち、サブフィールド S f 1 において、当該画素の液晶層に電圧  $V_H$  を印加する一方、他の期間において電圧  $V_L (= 0)$  を印加する構成とする。この場合、サブフィールド S f 1 の期間は、 $V_1 - V_{ax}$  といった電圧値を実効電圧として印加することができる期間として設定する。したがって、第 1 の期間においてサブフィールド S f 1 のみに電圧  $V_H$  を印加することにより、液晶に電圧値  $V_1$  を実効電圧値として印加することになるので、当該画素の透過率を 14.3% とする中間階調表示が可能となる。

また例えば、階調データが (0 1 0) である場合 (すなわち、当該画素の透過率を 28.6% とする階調表示を行う場合)、1 フレーム (1 f) 期間のうち、サブフィールド S f 1 とサブフィールド S f 2 とにおいて、当該画素の液晶層に電圧  $V_H$  を印加する一方、他の期間において電圧  $V_L$  を印加する構成とする。ここで、サブフィールド S f 1 とサブフィールド S f 2 との累積期間を、 $V_2 - V_{ax}$  といった電圧値を実効電圧として印加することができる期間として設定する。これにより、1 フレーム (1 f) 期間において液晶層に印加される電圧実効値が電圧  $V_2$  となるので、当該画素の透過率を 28.6% とする中間階調表示が可能となる。

同様に例えば、階調データが (0 1 1) である場合 (すなわち、当該画素の透過率を 42.9% とする階調表示を行う場合)、1 フレーム (1 f) 期間のうち、サブフィールド S f 1 ~ S f 3 とにおいて、当該画素の液晶層に電圧  $V_H$  を印加する一方、他の期間において電圧  $V_L$  を印加する構成とする。ここで、サブフィールド S f 1 ~ S f 3 の累積期間を、 $V_3 - V_{ax}$  といった電圧値を実効電圧として印加することができる期間として設定する。これにより、1 フレーム (1 f) 期間において液晶層に印加される電圧実効値が電圧  $V_3$  となるので、当該画素の透過率を 42.9% とする中間階調表示が可能となる。以下、同様にして、サブフィールド S f 4 ~ S f 7 の期間が各々設定される。

このように、第 1 の期間を 7 つのサブフィールド S f 1、S f 2、…、S f 7 に分割

するとともに階調データに応じて、各サブフィールドに電圧 $V_H$ または電圧 $V_L$ を液晶層に印加するか否かを決定し、第2の期間において、透過率0%から立ち上がり始める電圧値 $V_a$ が実効電圧値として液晶層に印加されるように、液晶層に電圧 $V_L$ を印加するか、電圧 $V_H$ を印加するかを決定したので、当該液晶層に印加される電圧は $V_L$ および

5  $V_H$ の2値であるにもかかわらず、各透過率に対応する階調表示が可能となる。そこで、以下、このための構成について図面を参照して説明する。

#### <全体構成>

まず、本実施形態に係る電気光学装置は、電気光学材料として液晶を用いた液晶装置であり、後述するように素子基板と対向基板とが、互いに一定の間隙を保って貼付され、

10 この間隙に電気光学材料たる液晶が挟持される構成となっている。また、本実施形態に係る電気光学装置では、素子基板として半導体基板が用いられ、ここに、画素を駆動するトランジスタとともに、周辺駆動回路などが形成されたものである。なお、この例の電気光学装置は図2(b)に示すように1フレームを、 $V_{on}$ 期間、サブフィールド $Sf_1 \sim Sf_7$ 、 $V_{off}$ 期間の順に分割するものとする。

図3は、この電気光学装置の電氣的な構成を示すブロック図である。図において、タイミング信号生成回路200は、図示せぬ上位装置から供給される垂直走査信号 $V_s$ 、水平走査信号 $H_s$ およびドットクロック信号 $DCLK$ にしたがって、次に説明する各種のタイミング信号やクロック信号などを生成するものである。まず、第1に交流化信号 $FR$ は、1フレーム毎にレベル反転する信号である。第2に、交流化駆動信号 $LCOM$

20 は、1フレーム毎にレベル反転して、対向基板の対向電極に印加される信号である。なお、交流化駆動信号 $LCOM$ は交流化信号 $FR$ に対してラッチパルス $LP$ の1クロック分位相が遅れている。第3に、スタートパルス $DY$ は、 $V_{on}$ 期間、 $V_{off}$ 期間の開始および各サブフィールドにおいて最初に出力されるパルス信号である。第4に、クロック信号 $CLY$ は、走査側(Y側)の水平走査期間を規定する信号である。第5に、ラッチパルス $LP$ は、水平走査期間の最初に出力されるパルス信号であって、クロック信号 $CLY$ のレベル遷移(すなわち、立ち上がりおよび立ち下がり)時に出力されるものである。

25 第6に、クロック信号 $CLX$ は、いわゆるドットクロックを規定する信号である。

一方、素子基板上における表示領域101aには、複数本の走査線112が、図にお

いてX（行）方向に延在して形成され、また、複数本のデータ線114が、Y（列）方向に沿って延在して形成されている。そして、画素110は、走査線112とデータ線114との各交差に対応して設けられて、マトリクス状に配列している。ここで、説明の便宜上、本実施形態では、走査線112の総本数をm本とし、データ線114の総本数をn本として（m、nはそれぞれ2以上の整数）、m行×n列のマトリクス型表示装置として説明するが、本発明をこれに限定する趣旨ではない。

#### <画素の構成>

画素110の具体的な構成としては、例えば、図4（a）に示されるものが挙げられる。この構成では、トランジスタ（MOS型FET）116のゲートが走査線112に、ソースがデータ線114に、ドレインが画素電極118に、それぞれ接続されるとともに、画素電極118と対向電極108との間に電気光学材料たる液晶105が挟持されて液晶層が形成されている。ここで、対向電極108は、後述するように、実際には画素電極118と対向するように対向基板に一面に形成される透明電極である。なお、対向電極108の電位は、通常の電気光学装置においては、一定値に保たれるが、本実施形態に係る電気光学装置においては、前述した交流化駆動信号LCOMが印加されて、1フレーム毎にレベル反転する構成となっている。また、画素電極118と対向電極108との間においては蓄積容量119が形成されて、液晶層に蓄積される電荷のリークを防止している。なお、この実施例では、蓄積容量119を画素電極119と対向電極108の間に形成したが、画素電極119と接地電位GND間や画素電極119とゲート線間等に形成しても良い。

ここで、図4（a）に示される構成では、トランジスタ116として一方のチャネル型のみが用いられているために、オフセット電圧が必要となるが、図4（b）に示されるように、Pチャネル型トランジスタとNチャネル型トランジスタとを相補的に組み合わせた構成とすれば、オフセット電圧の影響をキャンセルすることができる。ただし、この相補型構成では、走査信号として互いに排他的レベルを供給する必要があるため、1行の画素110に対して走査線112a、112bの2本が必要となる。

さらに、画素110の構成としては、図4（c）に示されるものであってもよい。この例では、データ線114が2本のデータ線114a及び114bから構成されている。

データ線 1 1 4 a にはデータ信号が供給される一方、データ線 1 1 4 b にはデータ信号の極性を反転させた反転データ信号が供給されるようになっている。また、トランジスタ (MOS 型 FET) 1 2 0 及び 1 2 1 のゲートは走査線 1 1 2 に接続され、トランジスタ 1 2 0 のソースはデータ線 1 1 4 a に、トランジスタ 1 2 1 のソースはデータ線 1 1 4 b に各々接続されている。そして、トランジスタ 1 2 0 及び 1 2 1 のドレイン間には、インバータ 1 2 2 及び 1 2 3 がラッチ回路として設けられている。くわえて、オン電圧  $V_{on}$  とオフ電圧  $V_{off}$  を各々供給する電圧供給線 1 2 6 及び 1 2 7 が設けられており、トランスファークゲート 1 2 4 及び 1 2 5 を介して、これらの電圧が選択的に画素電極 1 1 8 へ印加されるようになっている。なお、トランスファークゲート 1 2 4 及び 1 2 5 は、制御入力端子のレベルが H レベルの時、オン状態となる一方、当該レベルが L レベルの時、オフ状態となるように構成されている。

この例では、走査線 1 1 2 の電圧が H レベルの場合、トランジスタ 1 2 0 および 1 2 1 がオン状態となるから、データ信号および反転データ信号がトランスファークゲート 1 2 4 及び 1 2 5 の制御入力端子に各々供給される。したがって、データ信号のレベルが H レベルであればオン電圧  $V_{on}$  が画素電極 1 1 8 に印加される一方、当該レベルが L レベルであればオン電圧  $V_{off}$  が画素電極 1 1 8 に印加される。逆に、走査線 1 1 2 の電圧が L レベルの場合には、トランジスタ 1 2 0 および 1 2 1 がオン状態となるから、ラッチ回路 (インバータ 1 2 2 及び 1 2 3) によって、直前の状態が維持されることになる。

<スタートパルス生成回路>

上述したように本実施形態においては、1 フレームを、階調データに応じて各サブフィールド毎に 2 値電圧を液晶層に印加する第 1 の期間  $T_1$  と、液晶のしきい値電圧に応じて 2 値電圧を液晶層に印加する第 2 の期間  $T_2$  に分割している。

$V_{on}$  期間、 $V_{off}$  期間、およびサブフィールドの切り替わりはスタートパルス  $DY$  によって制御される。このスタートパルス  $DY$  はタイミング信号生成回路 2 0 0 の内部で生成される。ここで、タイミング信号生成回路 2 0 0 において、スタートパルス  $DY$  を生成するスタートパルス生成回路の構成を説明する。

図 5 は、スタートパルス生成回路の構成例を示すブロック図である。図 5 に示すように、スタートパルス生成回路 2 1 0 は、カウンタ 2 1 1、コンパレータ 2 1 2、マルチ



プレクサ 2 1 3、リングカウンタ 2 1 4、D フリップフロップ 2 1 5、およびオア回路 2 1 6 から構成されている。

カウンタ 2 1 1 はドットクロック D C L K をカウントするが、オア回路 2 1 6 の出力信号によってカウント値がリセットされるようになっている。また、オア回路 2 1 6 の一方の入力端子には、フィールドの開始において、ドットクロック D C L K の 1 周期の期間だけ H レベルとなるリセット信号 R S E T が供給されるようになっている。したがって、カウンタ 2 1 1 は、少なくともフレームの開始時点において、カウント値がリセットされるようになっている。

コンパレータ 2 1 2 は、カウンタ 2 1 1 のカウント値とマルチプレクサ 2 1 3 の出力データ値を比較し、両者が一致する時、H レベルとなる一致信号を出力する。マルチプレクサ 2 1 3 は、スタートパルス D Y の数をカウントするリングカウンタ 2 1 4 のカウント結果に基づいて、データ D on、D s1、D s2、…、D s7、D off を選択出力する。ここで、データ D on、D s1、D s2、…、D s7、D off は、図 2 (b) に示す各期間 V on、S f 1、S f 2、…、S f 7、V off に各々対応するものである。また、データ D on は、液晶のしきい値電圧 V th に応じて定められたものであり、可変することが可能である。例えば、電気光学装置の製品機種毎に予め設定してもよいし、あるいは、各製品のバラツキを補償するために、出荷時に調整するようにしてもよい。さらに、調整を使用者に委ねるように調整ツマミを設け、これを使用者が操作することによって、データ D on の値を可変できるようにしてもよい。くわえて、液晶表示装置の温度、或いは液晶表示装置周辺の温度を温度センサで検出し、検出温度に基づいて、液晶の温度特性に合わせて、データ D on の値を可変するようにしてもよい。なお、データ D on の値とデータ D off の値の合計は一定であるから、データ D on の値を増加、減少させる場合には、これに応じてデータ D off の値を変更する。このように、V on 期間の長さを液晶の温度特性に合わせて可変すると、環境温度が変化に追隨して液晶に印加する電圧の実効値を可変することができるので、温度が変化しても、表示される階調やコントラスト比を一定に保つことができる。

また、コンパレータ 2 1 2 は、カウンタのカウント値が、サブフィールドの区切りに達すると一致信号を出力することになる。この一致信号は、オア回路 2 1 6 を介してカ

カウンタ 211 のリセット端子にフィードバックされるから、カウンタ 211 はサブフィールドの区切りから再びカウントを開始することになる。また、D フリップフロップ 215 は、オア回路 216 の出力信号を、Y クロック信号 YCLK によってラッチして、スタートパルス DY を生成する。

#### 5 <走査線駆動回路>

説明を再び図 3 に戻す。走査線駆動回路 130 は、いわゆる Y シフトレジスタと呼ばれるものであり、サブフィールドの最初に供給されるスタートパルス DY をクロック信号 CLY にしたがって転送し、走査線 112 の各々に走査信号 G1、G2、G3、…、Gm として順次排他的に供給するものである。

#### 10 <データ線駆動回路>

また、データ線駆動回路 140 は、ある水平走査期間において 2 値信号 Ds をデータ線 114 の本数に相当する n 個順次ラッチした後、ラッチした n 個の 2 値信号 Ds を、次の水平走査期間において、それぞれ対応するデータ線 114 にデータ信号 d1、d2、d3、…、dn として一斉に供給するものである。ここで、データ線駆動回路 140 の具体的な構成は、図 6 に示される通りである。すなわち、データ線駆動回路 140 は、X シフトレジスタ 1410 と、第 1 のラッチ回路 1420 と、第 2 のラッチ回路 1430 とから構成されている。このうち、X シフトレジスタ 1410 は、水平走査期間の最初に供給されるラッチパルス LP をクロック信号 CLX にしたがって転送し、ラッチ信号 S1、S2、S3、…、Sn として順次排他的に供給するものである。次に、第 1 のラッチ回路 1420 は、2 値信号 Ds をラッチ信号 S1、S2、S3、…、Sn の立ち下がりにおいて順次ラッチするものである。そして、第 2 のラッチ回路 1430 は、第 1 のラッチ回路 1420 によりラッチされた 2 値信号 Ds の各々をラッチパルス LP の立ち下がりにおいて一斉にラッチするとともに、データ線 114 の各々にデータ信号 d1、d2、d3、…、dn として供給するものである。

#### 25 <データ変換回路>

次に、データ変換回路 300 について説明する。サブフィールド Sf1～Sf7 毎に、階調に応じて H レベルまたは L レベルを書き込むためには、画素に対応する階調データを何らかの形で変換する必要がある。また、2 値の電圧を書き込むことによって、液晶

の透過率特性が0%から立ち上がり始める電圧 $V_a$ を実効電圧として液晶層に印加するためには、 $V_{on}$ 期間中、液晶層にHレベルの電圧を印加する必要がある

図3におけるデータ変換回路300はこのために設けられたものである。すなわち、データ変換回路300は、垂直走査信号 $V_s$ 、水平走査信号 $H_s$ およびドットクロック信号 $DCLK$ に同期して供給され、かつ、画素毎に対応する3ビットの階調データ $D_0 \sim D_2$ を、サブフィールド $Sf_1 \sim Sf_7$ 毎に2値信号 $D_s$ に変換するとともに、 $V_{on}$ 期間にHレベルの2値信号 $D_s$ を、 $V_{off}$ 期間にLレベルの2値信号 $D_s$ を各画素に供給する構成となっている。

ここで、データ変換回路300では、1フレームにおいて、どのサブフィールドであるか、また、 $V_{on}$ 期間、 $V_{off}$ 期間であるかを認識する構成が必要となる。この構成については、例えば、次のような手法で認識することができる。すなわち、本実施形態では、交流化駆動のために、対向電極108の電位を交流化駆動信号 $L_{COM}$ によって1フレーム毎に反転しているので、データ変換回路300内部に、スタートパルス $DY$ を計数するとともに、当該カウンタ結果を交流化信号 $FR$ のレベル遷移（立ち上がりおよび立ち下がり）でリセットするカウンタを設けて、当該カウンタ結果を参照することで、現状のサブフィールド等を認識することができる。

また、データ変換回路300は、交流化信号 $FR$ のレベルに応じて、階調データ $D_0 \sim D_2$ を2値信号 $D_s$ に変換する必要がある。具体的には、データ変換回路300は、階調データ $D_0 \sim D_2$ に対応する2値信号 $D_s$ を、交流化信号 $FR$ がLレベルである場合には、図7(a)に示される内容にしたがって出力する一方、交流化信号 $FR$ がHレベルである場合には、図7(b)に示される内容にしたがって出力する構成となっている。くわえて、 $V_{on}$ 期間においてはHレベルの電圧を、 $V_{off}$ 期間においてはLレベルの電圧を実効的に液晶層に印加する必要がある。このため、これらの期間においては、交流化信号 $FR$ のレベルに応じて、図7に示される2値信号 $D_s$ を出力する構成となっている。

なお、この2値信号 $D_s$ については、走査線駆動回路130およびデータ線駆動回路140における動作に同期して出力する必要があるので、データ変換回路300には、スタートパルス $DY$ と、水平走査に同期するクロック信号 $CLY$ と、水平走査期間の最

初を規定するラッチパルスLPと、ドットクロック信号に相当するクロック信号CLXとが供給されている。また、上述したように、データ線駆動回路140では、ある水平走査期間において、第1のラッチ回路1420が点順次的に2値信号をラッチした後、次の水平走査期間において、第2のラッチ回路1430が、データ信号d1、d2、d3、…、dnとして一斉に各データ線114に供給する構成となっているので、データ変換回路300は、走査線駆動回路130およびデータ線駆動回路140における動作と比較して、1水平走査期間だけ先行するタイミングで2値信号Dsを出力する構成となっている。

## 10 <動作>

次に、上述した実施形態に係る電気光学装置の動作について説明する。図8は、この電気光学装置の動作を説明するためのタイミングチャートである。

まず、交流化信号FRは、1フレーム(1f)毎にレベル反転する信号である。一方、スタートパルスDYは、Von期間、Voff期間、および各サブフィールドの開始時に供給される。

ここで、交流化信号FRがLレベルとなる1フレーム(1f)において、スタートパルスDYが供給されると、走査線駆動回路130(図3参照)におけるクロック信号CLYにしたがった転送によって、走査信号G1、G2、G3、…、Gmが期間(t)に順次排他的に出力される。なお、期間(t)は、最も短いサブフィールドよりもさらに短い期間に設定されている。

さて、走査信号G1、G2、G3、…、Gmは、それぞれクロック信号CLYの半周期に相当するパルス幅を有し、また、上から数えて1本目の走査線112に対応する走査信号G1は、スタートパルスDYが供給された後、クロック信号CLYが最初に立ち上がってから、少なくともクロック信号CLYの半周期だけ遅延して出力される構成となっている。したがって、スタートパルスDYが供給されてから、走査信号G1が出力されるまでに、ラッチパルスLPの1ショット(G0)がデータ線駆動回路140に供給されることになる。

そこで、このラッチパルスLPの1ショット(G0)が供給された場合について検討

してみる。まず、このラッチパルスLPの1ショット(G0)がデータ線駆動回路140に供給されると、データ線駆動回路140(図6参照)におけるクロック信号CLXにしたがった転送によって、ラッチ信号S1、S2、S3、…、Snが水平走査期間(1H)に順次排他的に出力される。なお、ラッチ号S1、S2、S3、…、Snは、それぞれクロック信号CLXの半周期に相当するパルス幅を有している。

この際、図6における第1のラッチ回路1420は、ラッチ信号S1の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて1本目のデータ線114との交差に対応する画素110への2値信号Dsをラッチし、次に、ラッチ信号S2の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて2本目のデータ線114との交差に対応する画素110への2値信号Dsをラッチし、以下、同様に、上から数えて1本目の走査線112と、左から数えてn本目のデータ線114との交差に対応する画素110への2値信号Dsをラッチする。

これにより、まず、図3において上から1本目の走査線112との交差に対応する画素1行分の2値信号Dsが、第1のラッチ回路1420により点順次的にラッチされることになる。なお、データ変換回路300は、第1のラッチ回路1420によるラッチのタイミングに合わせて、各画素の階調データD0～D2を2値信号Dsに変換して出力することはいうまでもない。また、ここでは、交流化信号FRがLレベルの場合を想定しているので、図7(a)に示されるテーブルが参照され、さらに、サブフィールドSf1に相当する2値信号Dsが、階調データD0～D2に応じて出力されることになる。

次に、クロック信号CLYが立ち下がって、走査信号G1が出力されると、図3において上から数えて1本目の走査線112が選択される結果、当該走査線112との交差に対応する画素110のトランジスタ116がすべてオンとなる。一方、当該クロック信号CLYの立ち下がりによってラッチパルスLPが出力される。そして、このラッチパルスLPの立ち下がりタイミングにおいて、第2のラッチ回路1430は、第1のラッチ回路1420によって点順次的にラッチされた2値信号Dsを、対応するデータ線114の各々にデータ信号d1、d2、d3、…、dnとして一斉に供給する。このため、上から数えて1行目の画素110においては、データ信号d1、d2、d3、…、dn

の書込が同時に行われることとなる。

この書込と並行して、図3において上から2本目の走査線112との交差に対応する画素1行分の2値信号Dsが、第1のラッチ回路1420により点順次的にラッチされる。

- 5      そして、以降同様な動作が、m本目の走査線112に対応する走査信号Gmが出力されるまで繰り返される。すなわち、ある走査信号Gi (iは、 $1 \leq i \leq m$ を満たす整数) が出力される1水平走査期間(1H)においては、i本目の走査線112に対応する画素110の1行分に対するデータ信号d1~dnの書込と、(i+1)本目の走査線112に対応する画素110の1行分に対する2値信号Dsの点順次的なラッチとが並行  
10   して行われることになる。なお、画素110に書き込まれたデータ信号は、次のサブフィールドSf2における書込まで保持される。

- 以下同様な動作が、サブフィールドの開始を規定するスタートパルスDYが供給される毎に繰り返される。ただし、データ変換回路300 (図1参照) は、階調データD0~D2から2値信号Dsへの変換については、サブフィールドSf1~Sf7のうち、  
15   対応するサブフィールドの項目が参照される。

また、Von期間およびVoff期間においても、同様の書き込みが行われる。但し、Von期間においては、2値信号Dsのレベルは常にHレベルである一方、Voff期間においては、2値信号Dsのレベルは常にLレベルである。

- さらに、1フレーム経過後、交流化信号FRがHレベルに反転した場合においても、  
20   各サブフィールドにおいて同様な動作が繰り返される。ただし、階調データD0~D2から2値信号Dsへの変換については、図7(b)に示されるテーブルが参照されることになる。また、Von期間およびVoff期間においても図7(b)に示されるテーブルが参照される。

- 次に、このような動作が行われることによって、画素110における液晶層への印加  
25   電圧について検討する。図9は、階調データと、画素110における画素電極118への印加波形を示すタイミングチャートである。

例えば、交流化駆動信号LCOMがLレベルである場合に、ある画素の階調データD0~D2が(000)であるとき、図7(a)に示される変換内容に従う結果、当該画

素の画素電極 118 には、図 9 に示されるように、Von 期間は H レベル、他の期間は L レベルが書き込まれる。ここで、上述したように Von 期間に H レベルを書き込んだ場合、当該液晶層に印加される電圧実効値は  $V_a$  となる。したがって、当該画素の透過率は、階調データ (000) に対応して 0 % となる。

- 5      また、ある画素の階調データ  $D_0 \sim D_2$  が (100) であるとき、図 7 (a) に示される変換内容に従う結果、当該画素の画素電極 118 には、図 9 に示されるように、Von 期間およびサブフィールド  $Sf_1 \sim Sf_4$  においては H レベルが、以降のサブフィールド  $Sf_5 \sim Sf_7$  および Voff 期間においては L レベルが、それぞれ書き込まれる。ここで、サブフィールド  $Sf_1 \sim Sf_4$  の期間が 1 フレーム (1f) において占める割合は
- 10      ( $V_4 - V_a$ ) に対応しており、また、Von 期間の割合は ( $V_a$ ) に対応しているので、1 フレームにおいて当該画素の画素電極 118 に印加される電圧実効値は  $V_4$  となる。したがって、当該画素の透過率は、階調データ (100) に対応して 57.1 % となる。なお、他の階調データについては、別段説明を要しないであろう。

- 15      さらに、ある画素の階調データ  $D_0 \sim D_2$  が (111) であるとき、図 7 (a) に示される変換内容に従う結果、当該画素の画素電極 118 には、図 9 に示されるように、Voff 期間を除いて、1 フレーム (1f) にわたって H レベルが書き込まれる。したがって、当該画素の透過率は、階調データ (111) に対応して 100 % となる。

- 20      一方、交流化駆動信号 LCOM が H レベルである場合に、H レベルの場合と反転したレベルが画素電極 118 に印加される。このため、H レベルと L レベルとの中間値を電圧の基準としてみた場合、交流化駆動信号 LCOM が H レベルの場合に各液晶層の印加電圧は、交流化駆動信号 LCOM が L レベルの場合の印加電圧とは極性を反転したものであって、かつ、その絶対値は等しいものとなる。したがって、液晶層に直流成分が印加される事態が回避される結果、液晶 105 の劣化が防止されることになる。

- 25      このような実施形態に係る電気光学装置によれば、1 フレーム (1f) を、階調特性の電圧比率に応じてサブフィールド  $Sf_1 \sim Sf_7$  に分割し、各サブフィールド毎に、画素に H レベルまたは L レベルを書き込んで、1 フレームにおける電圧実効値が制御される。このため、データ線 114 に供給されるデータ信号  $d_1 \sim d_n$  は、本実施形態では、H レベルまたは L レベルのみであって、2 値的であるため、駆動回路などの周辺回

路においては、高精度のD/A変換回路やオペアンプなどのような、アナログ信号を処理するための回路は不要となる。このため、回路構成が大幅に簡略化されるので、装置全体のコストを低く抑えることが可能となる。さらに、データ線114に供給されるデータ信号d1～dnは2値的であるため、素子特性や配線抵抗などの不均一性に起因する表示ムラが原理的に発生しない。このため、本実施形態に係る電気光学装置によれば、高品位かつ高精細な階調表示が可能となる。

くわえて、サブフィールドとは別に、Von期間とVoff期間とを1フレーム内に割り当て、Von期間の長さを液晶の透過率特性が立ち上がり始める電圧Vaによって調整できるようにしたので、各種の液晶を用いた電気光学装置に適用することができ、装置の汎用性を拡張することが可能である。

なお、上述した実施形態にあつては、交流化駆動信号LCOMを1フレームの周期でレベル反転することとしたが、本発明は、これに限られず、例えば、2フレーム以上の周期でレベル反転する構成としても良い。ただし、上述した実施形態において、データ変換回路300は、スタートパルスDYをカウントするとともに、当該カウント結果を交流化信号FRの遷移によってリセットすることで、現状のサブフィールドを認識する構成としたので、交流化信号FRを2フレームの周期でレベル反転する場合には、フレームを規定するための何らの信号を与える必要が生じる。

尚、各画素に印加される電圧は、トランジスタ116の特性、蓄積容量119や液晶の容量等によって、電圧がシフトする場合がある。この様な場合には、対向電極110に印加する電圧LCOMを電圧のシフト量に応じてずらす場合もある。

#### <応用形態①>

上述した実施形態においては、各サブフィールドの書込を、最も短いサブフィールドよりもさらに短い期間(t)で完了する必要がある。一方、上述した実施形態では、8階調表示としたが、例えば、16階調表示、64階調表示、……のように階調表示度数を高めるためには、サブフィールドの期間をさらに短くして、各サブフィールドの書込を、より短期間で完了させる必要が生じる。

しかしながら、駆動回路、特に、データ線駆動回路140におけるXシフトレジスタ



1 4 1 0 は、実際には上限付近で動作しているので、このままでは、階調表示度数を高めることができない。そこで、この点に改良を施した応用形態について説明する。

図 1 0 は、この応用形態に係る電気光学装置におけるデータ線駆動回路の構成を示すブロック図である。この図において、Xシフトレジスタ 1 4 1 2 は、ラッチパルス L P  
5 をクロック信号 C L X にしたがって転送する点においては、図 6 に示される Xシフトレジスタ 1 4 1 0 と同様であるが、その段数が半分となっている点において、Xシフトレジスタ 1 4 1 0 と相違している。すなわち、 $n = 2p$  を満たす整数  $p$  を想定すると、Xシフトレジスタ 1 4 1 2 は、ラッチ信号  $S_1$ 、 $S_2$ 、…、 $S_p$  を順次出力する構成となっている。

10 また、この応用形態において 2 値信号は、左から数えて奇数本目のデータ線 1 1 4 への 2 値信号  $Ds_1$  と、偶数本目のデータ線 1 1 4 への 2 値信号  $Ds_2$  との 2 系統に分けられて供給される。さらに、第 1 のラッチ回路 1 4 2 2 では、奇数本目のデータ線 1 1 4 に対応して 2 値信号  $Ds_1$  をラッチするものと、それに続く偶数本目のデータ線 1 1 4 に対応して 2 値信号  $Ds_2$  をラッチするものとが組となって、それぞれ同一のラッチ  
15 信号の立ち下がりと同時にラッチを行う構成となっている。

したがって、このようなデータ線駆動回路 1 4 0 によれば、図 1 1 に示されるように、同一のラッチ信号  $S_1$ 、 $S_2$ 、 $S_3$ 、…によって同時に画素 2 個分の 2 値信号  $Ds_1$ 、 $Ds_2$  がラッチされるので、クロック信号 C L X の周波数を上記実施形態と同一に維持したまま、必要な水平走査期間を半分に短縮することができる。さらに、Xシフトレジ  
20 スタ 1 4 1 2 を構成する単位回路の段数は、データ線 1 1 4 の総本数に対応する「 $n$ 」から、その半分である「 $p$ 」に削減される。このため、Xシフトレジスタ 1 4 1 2 の構成を、Xシフトレジスタ 1 4 1 0 (図 6 参照) と比較して簡略化することも可能となる。

一方、Xシフトレジスタ 1 4 1 2 を構成する単位回路の段数が半分で済むということは、必要な水平走査期間を同じとするのであれば、クロック信号 C L X を半分に低下さ  
25 せることができることを意味する。このため、水平走査期間を同じとするのであれば、動作周波数に起因して消費される電力を抑えることもできる。

なお、この応用形態にあつては、ラッチ信号によって同時されるラッチを行う第 1 のラッチ回路 1 4 2 2 の個数を「2」としたが、「3」以上としても良いのはもちろんで

ある。この場合には、2値信号は、当該個数に応じた系統に分けられて供給されることになる。

#### <応用形態②>

- 5       また、上述した実施形態においては、Von期間、Voff期間および各サブフィールドにおける書込が期間(t)で完了する。このため、あるサブフィールドにおいて、書込が完了した後から次のサブフィールドが開始するまでの期間等では、各画素の液晶層において書き込まれた電圧の保持動作が行われるのみである。

- 10       一方、上記実施形態における駆動回路、特に、データ線駆動回路140には、非常に高周波数のクロック信号CLXが供給される。一般に、シフトレジスタには、クロック信号をゲートで入力するクロックドインバータが極めて多数備えられるので、クロック信号CLXの供給源であるタイミング信号生成回路200からみると、Xシフトレジスタ1410(1412)は容量負荷となる。

- 15       したがって、上述した保持動作が行われる期間において、クロック信号CLXを供給する構成では、容量負荷によって無駄に電力が消費される結果、消費電力の増大を招くことになる。そこで、この点に改良を施した応用形態について説明する。

- この応用形態においては、クロック信号CLXがタイミング信号生成回路200からXシフトレジスタ1410(1412)に至るまでの途中に、図12に示されるクロック信号供給制御回路400が介挿される構成となっている。ここで、クロック信号供給  
20       制御回路400は、RSフリップフロップ402と、AND回路404とを備えている。このうち、RSフリップフロップ402は、セット入力端SにスタートパルスDYを入力するとともに、リセット入力端Rに走査信号Gmを入力するものである。また、AND回路404は、タイミング信号生成回路200から供給されるクロック信号CLXと、RSフリップフロップ402の出力端Qから出力される信号との論理積信号を求めて、  
25       これをデータ線駆動回路140におけるXシフトレジスタ1410(1412)へのクロック信号CLXとして供給するものである。

      ここで、クロック信号供給制御回路400において、あるサブフィールドの最初においてスタートパルスDYが供給されると、RSフリップフロップ402がセットされる

ので、その出力端Qから出力される信号がHレベルとなる。このため、AND回路404が開くので、図13に示されるように、Xシフトレジスタ1410(1412)へのクロック信号CLXの供給が開始される。そして、データ線駆動回路140においては、この直後に供給されるラッチパルスLPを契機に、第1のラッチ回路1420(1422)による2値信号の点順次的なラッチが行われることとなる。

一方、スタートパルスDYによってクロック信号CLXの供給が開始された後、そのサブフィールドにおいて最後(上から数えてm本目)の走査線112を選択する走査信号Gmが供給されると、RSフリップフロップ402がリセットされるので、その出力端Qから出力される信号がLレベルとなる。このため、AND回路404が閉じるので、図13に示されるように、Xシフトレジスタ1410(1412)へのクロック信号CLXの供給が遮断される。ここで、走査信号Gmが供給される以前には、m本目の走査線112との交差に対応する画素1行分の2値信号が、第1のラッチ回路1420(1422)によりラッチされているはずであるから、次のサブフィールドの開始まで、クロック信号CLXが遮断されても問題がない。なお、図13において、クロック信号CLXの周波数は、クロック信号CLYの周波数よりも圧倒的に高いので、クロックCLXのエンベロープのみを示している。

したがって、このようなクロック信号供給制御回路400を設けると、クロック信号CLXが必要なときだけXシフトレジスタ1410(1412)に供給されるので、容量負荷により消費される電力をそれだけ抑えることが可能となる。また、Y側のクロック信号CLYにおいても同様なクロック信号供給制御回路を設けても良いが、クロック信号CLYは、X側のクロック信号CLXよりも周波数が圧倒的に低い。このため、Y側において、容量負荷により消費される電力は、X側と比較して、あまり問題にはならない。

### 25 <応用形態③>

上述した実施形態、応用形態①および②では、2値信号である交流化駆動信号LCOMを対向電極108に印加した。これは、液晶105に直流成分が印加されるのを防止するためであった。これに対して、応用形態③は、対向電極108の電位を予め定めら

れた基準電位  $V_{ref}$  に固定して、液晶 105 を交流化駆動するものである。

応用形態③の電気光学装置は、タイミング信号発生回路 200 において生成される交流化駆動信号  $L_{COM}$  が基準電位  $V_{ref}$  に固定されている点、データ変換回路 300 の出力信号である 2 値信号  $D_s$  は、常に図 7 の (a) の真理値表 ( $FR = L$  のとき) に示される論理レベルを出力する点 (即ち、 $FR = H$  の場合であっても、図 7 (a) に示される 2 値信号  $D_s$  を出力する)、3 値信号を生成する 3 値信号生成回路 1440 をデータ線駆動回路 140 に内蔵する点、を除いて、上述した実施形態の電気光学装置と同様に構成されている。

図 14 は、3 値信号生成回路 1440 の回路図である。この 3 値信号生成回路 1440 は、図 6 または図 10 に示す第 2 ラッチ回路 1430 の後段に設けられており、H レベルと L レベルとの間を 2 値的に遷移する第 2 ラッチ回路 1430 の各出力信号  $d_1$ 、 $d_2$ 、 $d_3$ 、…、 $d_n$  を、3 値信号に変換し、これらをデータ信号  $d_1'$ 、 $d_2'$ 、 $d_3'$ 、…、 $d_n'$  として、各データ線 114 に供給するものである。

図 14 に示すように、この 3 値信号生成回路 1440 はスイッチ  $SW_1$  及び  $n$  個のスイッチ  $SW_{21}$ 、 $SW_{22}$ 、 $SW_{23}$ 、…、 $SW_{2n}$  から構成されている。また、3 値信号生成回路 301 には、図示せぬ電圧源から、基準電位  $V_{ref}$  と、これを中心として正極性側の正電圧  $+V$ 、負極性側の負電圧  $-V$  とが供給される。スイッチ  $SW_1$  は交流化信号  $FR$  によって制御され、その論理レベルが H レベルのとき負電圧  $-V$  を選択する一方、その論理レベルが L レベルのとき正電圧  $+V$  を選択する。

次に、スイッチ  $SW_{21}$ 、 $SW_{22}$ 、 $SW_{23}$ 、…、 $SW_{2n}$  の各制御端子には、信号  $d_1$ 、 $d_2$ 、 $d_3$ 、…、 $d_n$  が供給される。各スイッチ  $SW_{21} \sim SW_{2n}$  は、それらの制御端子のレベルが H レベルの場合にスイッチ  $SW_1$  の出力信号を選択する一方、制御端子のレベルが L レベルの場合に基準電位  $V_{ref}$  を選択するように構成されている。このように 3 値のデータ信号  $d_1'$ 、 $d_2'$ 、 $d_3'$ 、…、 $d_n'$  は、アンプ等のアナログ回路を用いることなくデジタル的に生成することができる。

以上の構成において、交流化信号  $FR$  が H レベルであるならば、負電圧  $-V$  がスイッチ  $SW_{21} \sim SW_{2n}$  の一方の入力端子に供給される。この場合には、第 2 ラッチ回路 1430 の各出力信号  $d_1 \sim d_n$  が H レベルの時、各スイッチ  $SW_{21} \sim SW_{2n}$  が負

電圧 $-V$ を選択する一方、出力信号 $d_1 \sim d_n$ がLレベルの時、各スイッチ $SW_{21} \sim SW_{2n}$ が基準電位 $V_{ref}$ を選択する。したがって、データ信号 $d_1' \sim d_n'$ は、各出力信号 $d_1 \sim d_n$ がHレベルの時にアクティブとなり、当該期間において画素をオンさせる制御が行われる。

- 5      また、逆に、交流化信号 $FR$ がLレベルである場合には、正電圧 $+V$ がスイッチ $SW_{21} \sim SW_{2n}$ の一方の入力端子に供給される。この場合には、第2ラッチ回路1430の各出力信号 $d_1 \sim d_n$ がHレベルの時、各スイッチ $SW_{21} \sim SW_{2n}$ が正電圧 $+V$ を選択する一方、出力信号 $d_1 \sim d_n$ がLレベルの時、各スイッチ $SW_{21} \sim SW_{2n}$ が基準電位 $V_{ref}$ を選択する。したがって、データ信号 $d_1' \sim d_n'$ は、各出力信号 $d_1 \sim d_n$ がHレベルの時にアクティブとなり、当該期間において画素をオンさせる制御が行われる。

図15は、応用形態③の電気光学装置における 階調データと画素110における画素電極118への印加波形とを示すタイミングチャートであり、図9に対応するものである。この図に示すように、画素電極118への印加波形（この例ではデータ信号 $d_1'$ ）は、基準電位 $V_{ref}$ を中心として、第1フレーム1fでは、負極性側に振れる一方、第2フレーム2fでは正極性側に振れる。また、負極性側に振れたときの電圧の絶対値と正極性側に振れたときの電圧の絶対値とは同一値 $V$ となるように調整されている。したがって、第1フレーム1fと第2フレーム2fとを併せて考えれば、液晶108には直流電圧が印加されないことになる。

- 20      ここで、 $V_{on}$ 期間の長さは透過率特性のしきい値に応じて定められるから、画素電極118への印加波形が周期的に反転したとしても、液晶105には、透過率特性のしきい値に応じた電圧が実効的に印加されることになる。また、階調データに応じて、基準電圧 $V_{ref}$ を基準として正電圧 $+V$ と負電圧 $-V$ とが印加される期間が調整されるので、階調データに応じた電圧が液晶105に実効的に印加されることになる。すなわち、印加波形は3値となるが、液晶105に印加される電圧を実効的に捉えれば、画素をオンまたはオフする信号を2値的に液晶105に印加しているといえる。この意味において、応用形態③の電気光学装置は上述した実施形態の電気光学装置と同様である。

したがって、応用形態③の電気光学装置によれば、上述した実施形態と同様に、画素

をオンまたはオフする信号が2値的であるため、駆動回路などの周辺回路においては、高精度のD/A変換回路やオペアンプなどのような、アナログ信号を処理するための回路は不要となる。くわえて、サブフィールドとは別に、Von期間とVoff期間とを1フレーム内に割り当て、Von期間の長さを液晶の透過率特性が立ち上がり始める電圧Vaによって調整できるようにしたので、各種の液晶を用いた電気光学装置に適用することができ、  
5 装置の汎用性を拡張することが可能である。

尚、各画素に印加される電圧は、トランジスタ116の特性、蓄積容量119や液晶105の容量等によって、シフトする場合がある。このような場合には、対向電極110に交流化駆動信号LCOMとして印加する基準電圧Vrefを、データ信号d1'~dn'の中心電圧(d1~dnがLレベルの時の電圧)から、シフト量に応じてずらすことが好ましい。

#### <液晶装置の全体構成>

次に、上述した実施形態や応用形態に係る電気光学装置の構造について、図16および図17を参照して説明する。ここで、図16は、電気光学装置100の構成を示す平面図であり、図17は、図16におけるA-A'線の断面図である。  
15

これらの図に示されるように、電気光学装置100は、画素電極118などが形成された素子基板101と、対向電極108などが形成された対向基板102とが、互いにシール材104によって一定の間隙を保って貼り合わせられるとともに、この間隙に電気光学材料としての液晶105が挟持された構造となっている。なお、実際には、シール材104には切欠部分があつて、ここを介して液晶105が封入された後、封止材により封止されるが、これらの図においては省略されている。  
20

ここで、素子基板101は、上述したように半導体基板であるため不透明である。このため、画素電極118は、アルミニウムなどの反射性金属から形成されて、電気光学装置100は、反射型として用いられることになる。これに対して、対向基板102は、ガラスなどから構成されるので透明である。  
25

さて、素子基板101において、シール材104の内側かつ表示領域101aの外側領域には、遮光膜106が設けられている。この遮光膜106が形成される領域内のうち、領域130aには走査線駆動回路130が形成され、また、領域140aにはデー

タ線駆動回路140が形成されている。すなわち、遮光膜106は、この領域に形成される駆動回路に光が入射するのを防止している。この遮光膜106には、対向電極108とともに、交流化駆動信号LCOMが印加される構成となっている。このため、遮光膜106が形成された領域では、液晶層への印加電圧がほぼゼロとなるので、画素電極118の電圧無印加状態と同じ表示状態となる。

また、素子基板101において、データ線駆動回路140が形成される領域140a外側であって、シール材104を隔てた領域107には、複数の接続端子が形成されて、外部からの制御信号や電源などを入力する構成となっている。

一方、対向基板102の対向電極108は、基板貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材（図示省略）によって、素子基板101における遮光膜106および接続端子と電氣的な導通が図られている。すなわち、交流化駆動信号LCOMは、素子基板101に設けられた接続端子を介して、遮光膜106に、さらに、導通材を介して対向電極108に、それぞれ印加される構成となっている。

ほかに、対向基板102には、電気光学装置100の用途に応じて、例えば、直視型であれば、第1に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第2に、例えば、金属材料や樹脂などからなる遮光膜（ブラックマトリクス）が設けられる。なお、色光変調の用途の場合には、例えば、後述するプロジェクタのライトバルブとして用いる場合には、カラーフィルタは形成されない。また、直視型の場合、電気光学装置100に光を対向基板102側から照射するフロントライ

トが必要に応じて設けられる。くわえて、素子基板101および対向基板102の電極形成面には、それぞれ所定の方にラビング処理された配向膜（図示省略）などが設けられて、電圧無印加状態における液晶分子の配向方向を規定する一方、対向基板101の側には、配向方向に応じた偏光子（図示省略）が設けられる。ただし、液晶105として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光子などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

#### <応用形態④>

上記実施形態では、V o n期間とV o f f期間の両方を1フレーム内に設けたが、V o n期間のみを設けるようにしてもよい。以下にその実施形態を示す。なお、上記実施形態と共通の箇所は説明を省くものであり、V o n期間のみを設けた点以外は上記実施形態と同様の構成をとる。

- 5      例えば階調データが0 0 0である場合には、全てのサブフィールドにおいて画素をオフにするレベルの2値信号D sが出力される。また、階調データが0 0 1である場合にはサブフィールドS f 0において画素をオンにするレベルの2値信号D sが出力される。そして、それ以上の階調データの場合には、階調データの値が1増加する毎に画素をオンにするレベルの2値信号D sが出力されるサブフィールドの個数が1個ずつ増加してゆく。

- 10      ここで、サブフィールドS f 0では、階調データが0 0 1以上である場合に、階調データとは無関係に画素をオンにするレベルの2値信号D sが出力される。これは前掲図1 (a)における閾値V a相当の実効電圧を当該画素に印加するために、データ変換回路3 0 0からデータ線駆動回路1 4 0に出力されるものである。そして、サブフィールドS f 0の時間長は、このサブフィールドS f 0の間だけ所定の電圧V Hの印加を持続した場合に、閾値V a相当の実効電圧が画素に印加されるように定められている。サブフィールドS f 0以外の他のサブフィールドについては、液晶の電圧／透過率特性の非線形性を補償するように非均一な時間長とすることも考えられるが、本実施形態では制御系の回路構成を簡単にするため、サブフィールドS f 0以外の各サブフィールドS f 15      1～S f 7は均等な時間長となっている。

- 20      なお、上記応用形態④では、階調データが0 0 0の場合にサブフィールドS f 0の期間に画素にオフにする電圧を与えたが、他の階調と同じようにS f 0の期間に画素がオンになる電圧を与えるようにしてもよい。S f 0の期間に液晶に印加される実効電圧がV aなので、どちらも場合でも透過率に差はでないからである。図1 8にS f 0の期間に画素がオンになる電圧を与える場合のタイミングチャートを示す。

25      なお、階調データ0 0 0の場合にS f 0の期間に画素をオフにする電圧を与える場合は低消費電力化及び高コントラスト化を図ることができ、画素をオンにする電圧を与える場合は回路構成を簡単に行うことができる。



また、本応用実施形態は、初めに示した実施形態の

#### <その他>

また、実施形態においては、電気光学装置を構成する素子基板 101 を半導体基板とし、ここに、画素電極 118 に接続されるトランジスタ 116 や、駆動回路の構成素子などを、MOS型FETで形成したが、本発明は、これに限られない。例えば、素子基板 101 を、ガラスや石英などの非晶質基板とし、ここに半導体薄膜を堆積してTFTを形成する構成としても良い。このようにTFTを用いると、素子基板 101 として透明基板を用いることができる。

さらに、電気光学材料としては、液晶のほかに、エレクトロルミネッセンス素子などを用いて、その電気光学効果により表示を行う装置に適用可能である。

有機ELの場合は、液晶のような交流駆動をする必要が無く、極性反転をしなくて良い。

すなわち、本発明は、上述した構成と類似の構成を有する電気光学装置、特に、オンまたはオフの2値的な表示を行う画素を用いて、階調表示を行う電気光学装置のすべて

に適用可能である。

#### <電子機器>

次に、上述した液晶装置を具体的な電子機器に用いた例のいくつかについて説明する。

#### <その1：プロジェクタ>

まず、実施形態に係る電気光学装置をライトバルブとして用いたプロジェクタについて説明する。図19は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ 1100 内部には、偏光照明装置 1110 がシステム光軸 PL に沿って配置している。この偏光照明装置 1110 において、ランプ 1112 からの出射光は、リフレクタ 1114 による反射で略平行な光束となって、第1のインテグレートレンズ 1120 に入射する。これにより、ランプ 1112 からの出射光は、複数の中間光束に分割される。この分割された中間光束は、第2のインテグレートレンズを光入射側に有する偏光変換素子 1130 によって、偏光方向がほぼ揃った種類の偏光光束

(s 偏光光束)に変換されて、偏光照明装置 1 1 1 0 から出射されることとなる。

さて、偏光照明装置 1 1 1 0 から出射された s 偏光光束は、偏光ビームスプリッタ 1 1 4 0 の s 偏光光束反射面 1 1 4 1 によって反射される。この反射光束のうち、青色光 (B) の光束がダイクロイックミラー 1 1 5 1 の青色光反射層にて反射され、反射型の電気光学装置 1 0 0 B によって変調される。また、ダイクロイックミラー 1 1 5 1 の青色光反射層を透過した光束のうち、赤色光 (R) の光束は、ダイクロイックミラー 1 1 5 2 の赤色光反射層にて反射され、反射型の液電気光学装置 1 0 0 R によって変調される。一方、ダイクロイックミラー 1 1 5 1 の青色光反射層を透過した光束のうち、緑色光 (G) の光束は、ダイクロイックミラー 1 1 5 2 の赤色光反射層を透過して、反射型の電気光学装置 1 0 0 G によって変調される。

このようにして、電気光学装置 1 0 0 R、1 0 0 G、1 0 0 B によってそれぞれ色光変調された赤色、緑色、青色の光は、ダイクロイックミラー 1 1 5 2、1 1 5 1、偏光ビームスプリッタ 1 1 4 0 によって順次合成された後、投写光学系 1 1 6 0 によって、スクリーン 1 1 7 0 に投写されることとなる。なお、電気光学装置 1 0 0 R、1 0 0 B および 1 0 0 G には、ダイクロイックミラー 1 1 5 1、1 1 5 2 によって、R、G、B の各原色に対応する光束が入射するので、カラーフィルタは必要ない。

## <その 2 : モバイル型コンピュータ>

次に、上記電気光学装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図 2 0 は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ 1 2 0 0 は、キーボード 1 2 0 2 を備えた本体部 1 2 0 4 と、表示ユニット 1 2 0 6 とから構成されている。この表示ユニット 1 2 0 6 は、先に述べた電気光学装置 1 0 0 の前面にフロントライトを付加することにより構成されている。

なお、この構成では、電気光学装置 1 0 0 を反射直視型として用いることになるので、画素電極 1 1 8 において、反射光が様々な方向に散乱するように、凹凸が形成される構成が望ましい。

## <その 3 : 携帯電話>

さらに、上記電気光学装置を、携帯電話に適用した例について説明する。図2.1は、この携帯電話の構成を示す斜視図である。図において、携帯電話1300は、複数の操作ボタン1302のほか、受話口1304、送話口1306とともに、電気光学装置100を備えるものである。この電気光学装置100にも、必要に応じてその前面にフロントライトが設けられる。また、この構成でも、電気光学装置100が反射直視型として用いられることになるので、画素電極118に凹凸が形成される構成が望ましい。

なお、電子機器としては、図19～図21を参照して説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、P  
OS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器に対して、実施形態や応用形態に係る電気光学装置が適用可能なのは言うまでもない。

以上説明したように本発明によれば、データ線に印加される信号が2値化されて、高品位な階調表示が可能となる。また、簡易な構成で各種の液晶に対応させることができる。

## 請求の範囲

1. マトリクス状に配設された複数の画素を階調表示させる電気光学装置の駆動方法であって、

1 フレームの一部を占める第1の期間において、当該期間を複数のサブフィールドに  
5 分割する一方、各サブフィールドにおいて、各画素の階調に応じて当該画素のオンまたはオフを制御し、

1 フレームの他の期間である第2の期間においては、当該電気光学装置に用いられる電気光学材料の印加電圧に対する透過率特性のしきい値電圧に応じて画素をオンまたはオフとする

10 ことを特徴とする電気光学装置の駆動方法。

2. 前記第2の期間は、前記透過率特性のしきい値電圧に応じた期間、画素をオンのみにすることを特徴とする請求項1記載の電気光学装置の駆動方法。

3. 前記第2の期間は、前記1フレーム期間中に分散されていることを特徴とする請求項1に記載の電気光学装置の駆動方法。

15 4. 前記画素は、複数の走査線と複数のデータ線との各交差に対応して設けられ、当該走査線に走査信号が供給されると、当該データ線に印加されている電圧にしたがってオンオフするものであり、

前記第1の期間においては、前記サブフィールド毎に、前記走査信号を走査線の各々に順次供給し、各画素の階調に応じてオンまたはオフを指示する信号を、各画素に対応  
20 する各データ線に各々供給し、

前記第2の期間においては、前記走査信号を前記走査線の各々に順次供給し、

前記電気光学物質の印加電圧に対する透過率特性のしきい値に応じて画素のオンまたはオフを指示する信号を、各データ線に供給する

ことを特徴とする請求項1に記載の電気光学装置の駆動方法。

25 5. 前記第2の期間は、全ての画素をオンするオン期間と全ての画素をオフするオフ期間とから構成されており、前記オン期間の長さは前記電気光学物質の印加電圧に対する透過率特性のしきい値に応じて決められることを特徴とする請求項4に記載の電気光学装置の駆動方法。

6. 温度を検出し、検出された前記温度に応じて、前記第2の期間における前記オン期間の長さを決めること

を特徴とする請求項5に記載の電気光学装置の駆動方法。

7. マトリクス状に配設された複数の画素を階調表示させる電気光学装置の駆動方法  
5 であって、

1 フレームの一部を占める第1の期間において、当該期間を複数のサブフィールドに分割する一方、各サブフィールドにおいて、各画素の階調に応じて当該画素のオンまたはオフを制御し、

1 フレームの他の期間である第2の期間においては、当該電気光学装置に用いられる  
10 電気光学材料の印加電圧に対する透過率特性のしきい値電圧に応じて画素をオンとすることを特徴とする電気光学装置の駆動方法。

8. 前記第2の期間は、前記1フレーム期間中に分散されていることを特徴とする請求項1に記載の電気光学装置の駆動方法。

9. 前記画素は、複数の走査線と複数のデータ線との各交差に対応して設けられ、当  
15 該走査線に走査信号が供給されると、当該データ線に印加されている電圧にしたがってオンオフするものであり、

前記第1の期間においては、前記サブフィールド毎に、前記走査信号を走査線の各々に順次供給し、各画素の階調に応じてオンまたはオフを指示する信号を、各画素に対応する各データ線に各々供給し、

20 前記第2の期間においては、前記走査信号を前記走査線の各々に順次供給し、

前記電気光学物質の印加電圧に対する透過率特性のしきい値に応じた期間、画素のオンを指示する信号を、各データ線に供給する

ことを特徴とする請求項1に記載の電気光学装置の駆動方法。

10. 温度を検出し、検出された前記温度に応じて、前記第2の期間の長さを決める  
25 こと

を特徴とする請求項9に記載の電気光学装置の駆動方法。

11. 前記第2の期間は、最も低い階調を表示する場合に限り、画素をオフにすることを特徴とする請求項7乃至10に記載の電気光学装置の駆動方法。

1 2. 前記第 2 の期間は、階調データに関わらず、画素をオンにすることを特徴とする請求項 7 乃至 10 に記載の電気光学装置の駆動方法。

1 3. 複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、前記画素電極毎に設けられ、当該走査線に走査信号が供給されると、当該データ線と当該画素電極との間を導通させるスイッチング素子とからなる画素を駆動する電気光学装置の駆動回路であって、

1 フレームの一部を構成する第 1 の期間においては、当該期間を分割したサブフィールド毎に前記走査信号を前記走査線の各々に順次供給し、1 フレーム中の第 1 の期間以外の第 2 の期間においては、前記スイッチング素子を導通させる走査信号を前記走査線の各々に順次供給する走査線駆動回路と、

前記第 1 の期間においては、各画素の階調に応じて各サブフィールド毎に各画素のオンまたはオフを指示する信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給し、前記第 2 の期間においては、当該電気光学装置に用いられる電気光学物質の印加電圧に対する透過率特性の閾値に応じて画素をオンまたはオフを指示する信号を、当該画素に対応するデータ線に供給するデータ線駆動回路と

を具備することを特徴とする電気光学装置の駆動回路。

1 4. 前記第 2 の期間は、画素をオフに支持する信号のみが供給されることを特徴とする請求項 1 3 に記載の電気光学装置の駆動回路。

20 1 5. 複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、前記画素電極毎に設けられ、当該走査線に走査信号が供給されると、当該データ線と当該画素電極との間を導通させるスイッチング素子とからなる画素を駆動する電気光学装置の駆動回路であって、

1 フレームの一部を構成する第 1 の期間においては、当該期間を分割したサブフィールド毎に前記走査信号を前記走査線の各々に順次供給し、1 フレーム中の第 1 の期間以外の第 2 の期間においては、前記スイッチング素子を導通させる走査信号を前記走査線の各々に順次供給する走査線駆動回路と、

前記第 1 の期間においては、各画素の階調に応じて各サブフィールド毎に各画素のオ

ンまたはオフを指示する信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給し、前記第 2 の期間においては、当該電気光学装置に用いられる電気光学物質の印加電圧に対する透過率特性の閾値に応じて画素をオンする信号を、当該画素に対応するデータ線に供給するデータ線駆動回路

5 と

を具備することを特徴とする電気光学装置の駆動回路。

16. 複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、前記画素電極毎に設けられ、当該走査線を介して供給される走査信号によって、当該データ線と当該画素電極との導通を制御するスイッチング素子と

10 を備えた素子基板と、

前記画素電極に対して対向配置された対向電極を備える対向基板と、

前記素子基板と前記対向基板との間に挟持された電気光学材料と、

1 フレームの一部を構成する第 1 の期間においては、当該期間を分割したサブフィールド毎に前記走査信号を前記走査線の各々に順次供給し、1 フレーム中の第 1 の期間以外の第 2 の期間においては、前記スイッチング素子を導通させる走査信号を前記走査線の各々に順次供給する走査線駆動回路と、

15

前記第 1 の期間においては、各画素の階調に応じて各サブフィールド毎に各画素のオンまたはオフを指示する信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給し、前記第 2 の期間においては、当該電気光学装置に用いられる電気光学物質の印加電圧に対する透過率特性の閾値に応じて画素をオンまたはオフを指示する信号を、当該画素に対応するデータ線に供給するデータ線駆動回路と

20

を具備することを特徴とする電気光学装置。

17. 前記第 2 の期間は前記画素をオンに指示する信号のみが供給されることを特徴とする請求項 16 記載の電気光学装置。

25

18. 複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、前記画素電極毎に設けられ、当該走査線を介して供給される走査信号によって、当該データ線と当該画素電極との導通を制御するスイッチング素子と

を備えた素子基板と、

前記画素電極に対して対向配置された対向電極を備える対向基板と、

前記素子基板と前記対向基板との間に挟持された電気光学材料と、

- 1 フレームの一部を構成する第1の期間においては、当該期間を分割したサブフィールド毎に前  
5 記走査信号を前記走査線の各々に順次供給し、1フレーム中の第1の期間以外の第2の期間において、前記スイッチング素子を導通させる走査信号を前記走査線の各々に順次供給する走査線駆動回路と、

- 前記第1の期間においては、各画素の階調に応じて各サブフィールド毎に各画素のオンまたはオフを指示する信号を、それぞれ当該画素に対応する走査線に前記走査信号が  
10 供給される期間に、当該画素に対応するデータ線に供給し、前記第2の期間においては、当該電気光学装置に用いられる電気光学物質の印加電圧に対する透過率特性の閾値に応じて画素をオンさせる信号を、当該画素に対応するデータ線に供給するデータ線駆動回路と

を具備することを特徴とする電気光学装置。

- 15 19. 前記対向電極に2値信号を印加し、

前記2値信号のレベルに応じて、画素のオンまたはオフを指示する信号の極性を反転する

ことを特徴とする請求項16または18に記載の電気光学装置。

20. 前記対向電極の電位を一定の基準電位に固定し、

- 20 画素のオンまたはオフを指示する信号の極性を一定周期で反転する

ことを特徴とする請求項16または18に記載の電気光学装置。

21. 前記画素のオンまたはオフを指示する信号は、前記基準電位を中心に極性を反転した3値信号である

ことを特徴とする請求項20に記載の電気光学装置。

- 25 22. 前記素子基板は、半導体基板からなり、

前記走査線駆動回路および前記データ線駆動回路は、前記素子基板に形成される一方、前記画素電極は反射性を有する

ことを特徴とする請求項16または18に記載の電気光学装置。



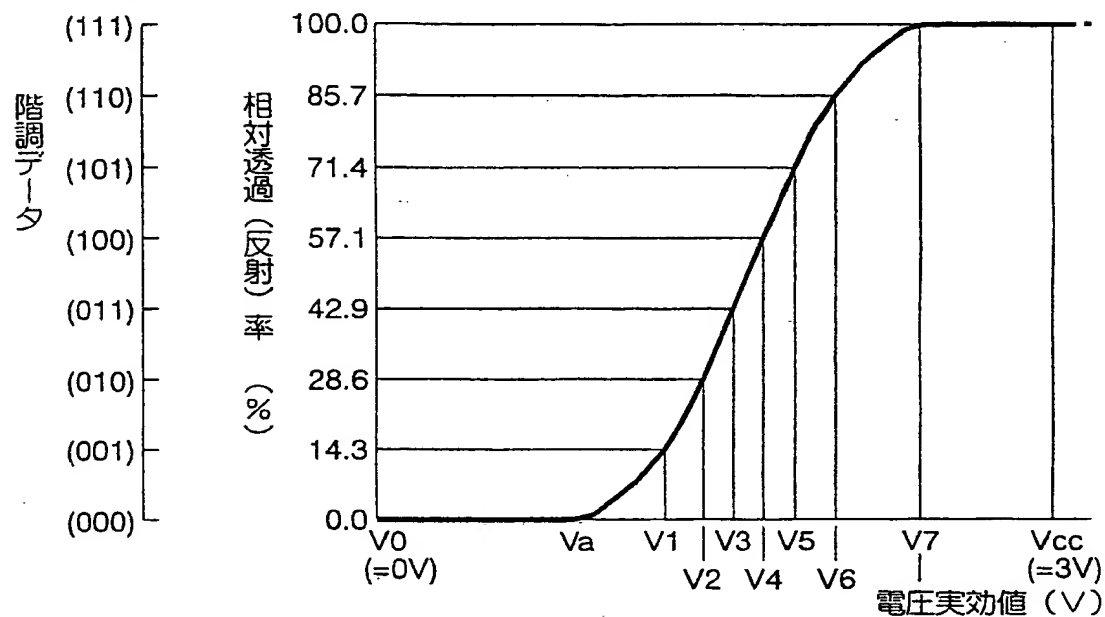
23. 請求項16または22に記載の電気光学装置を備えることを特徴とする電子機器。

**This Page Blank (uspto)**

Fig. 1

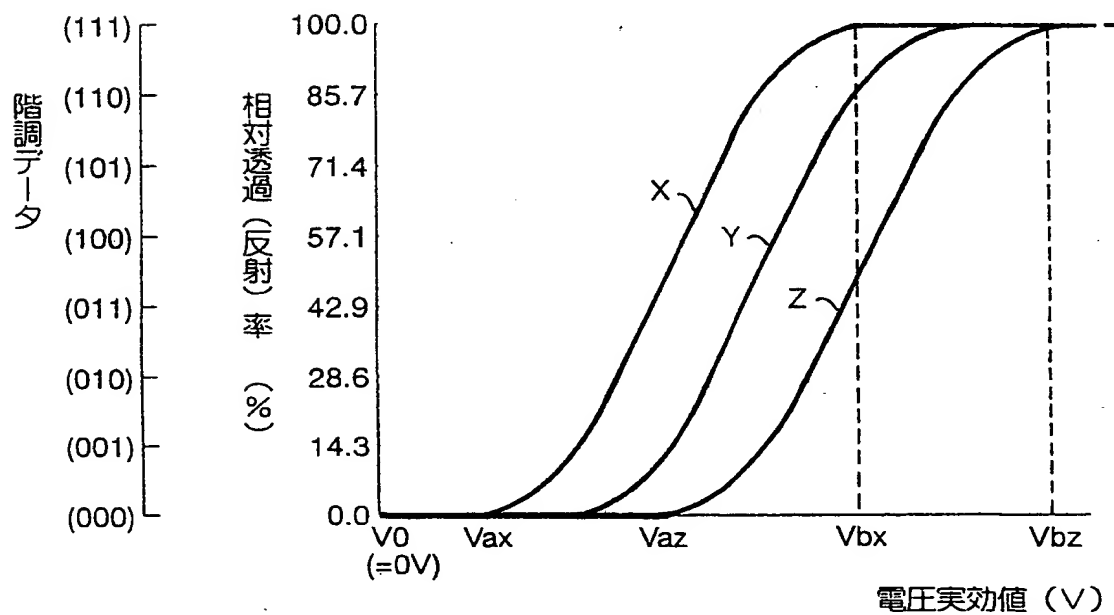
(a)

電圧／透過率特性（ノーマリーブラックモード）



(b)

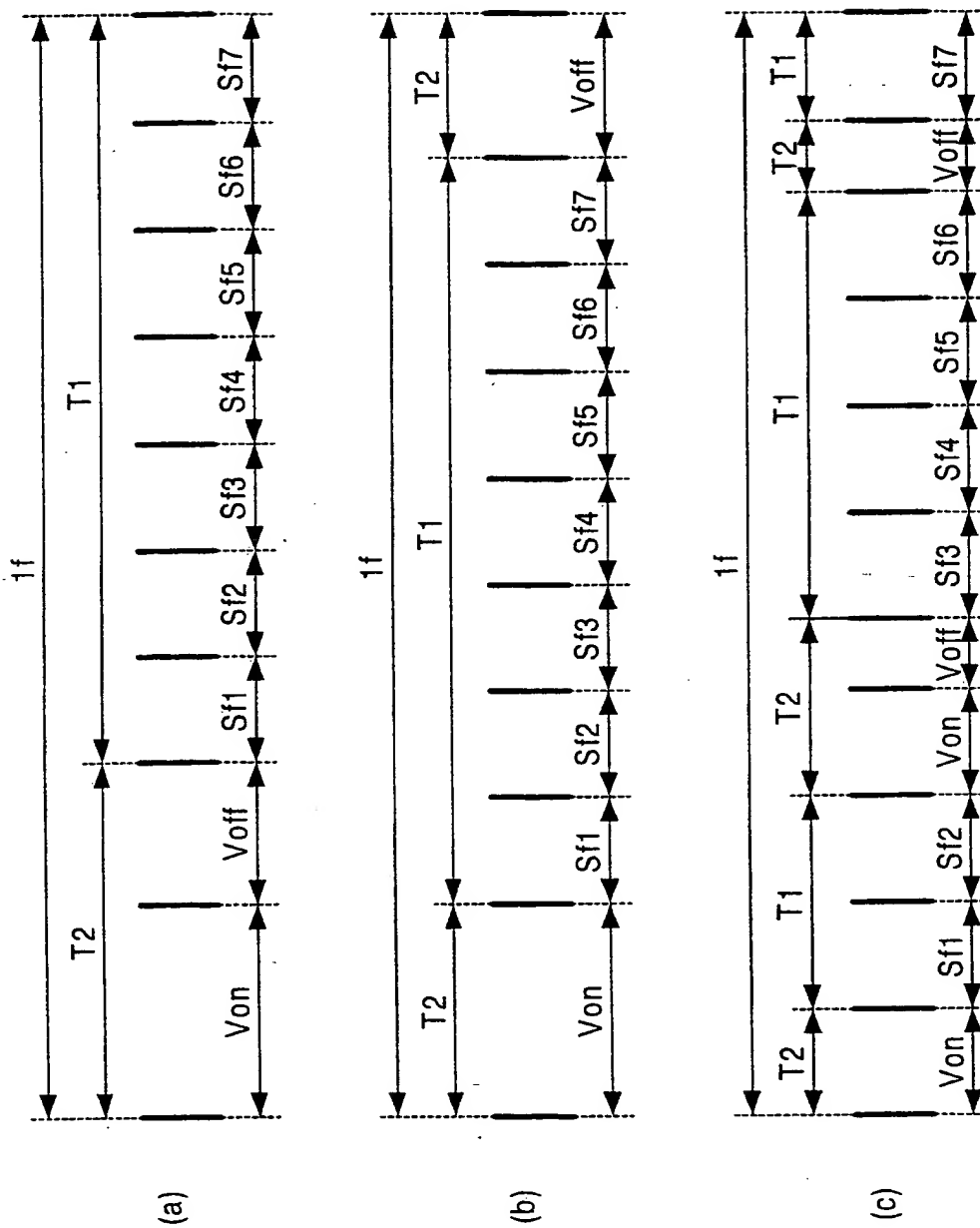
電圧／透過率特性（ノーマリーブラックモード）



**This Page Blank (uspto)**

2 / 2 1

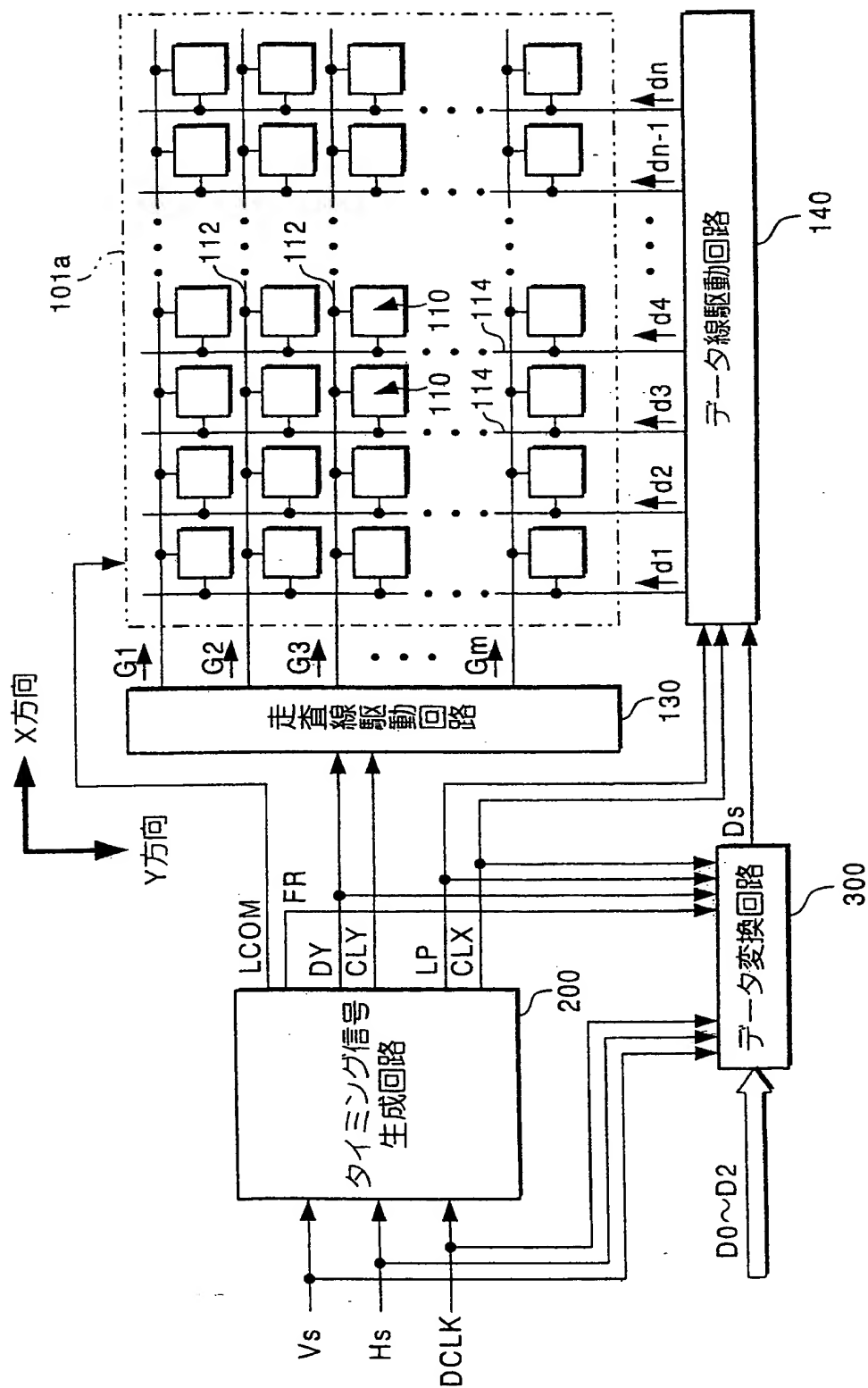
Fig. 2



**This Page Blank (uspto)**

3 / 2 1

Fig. 3

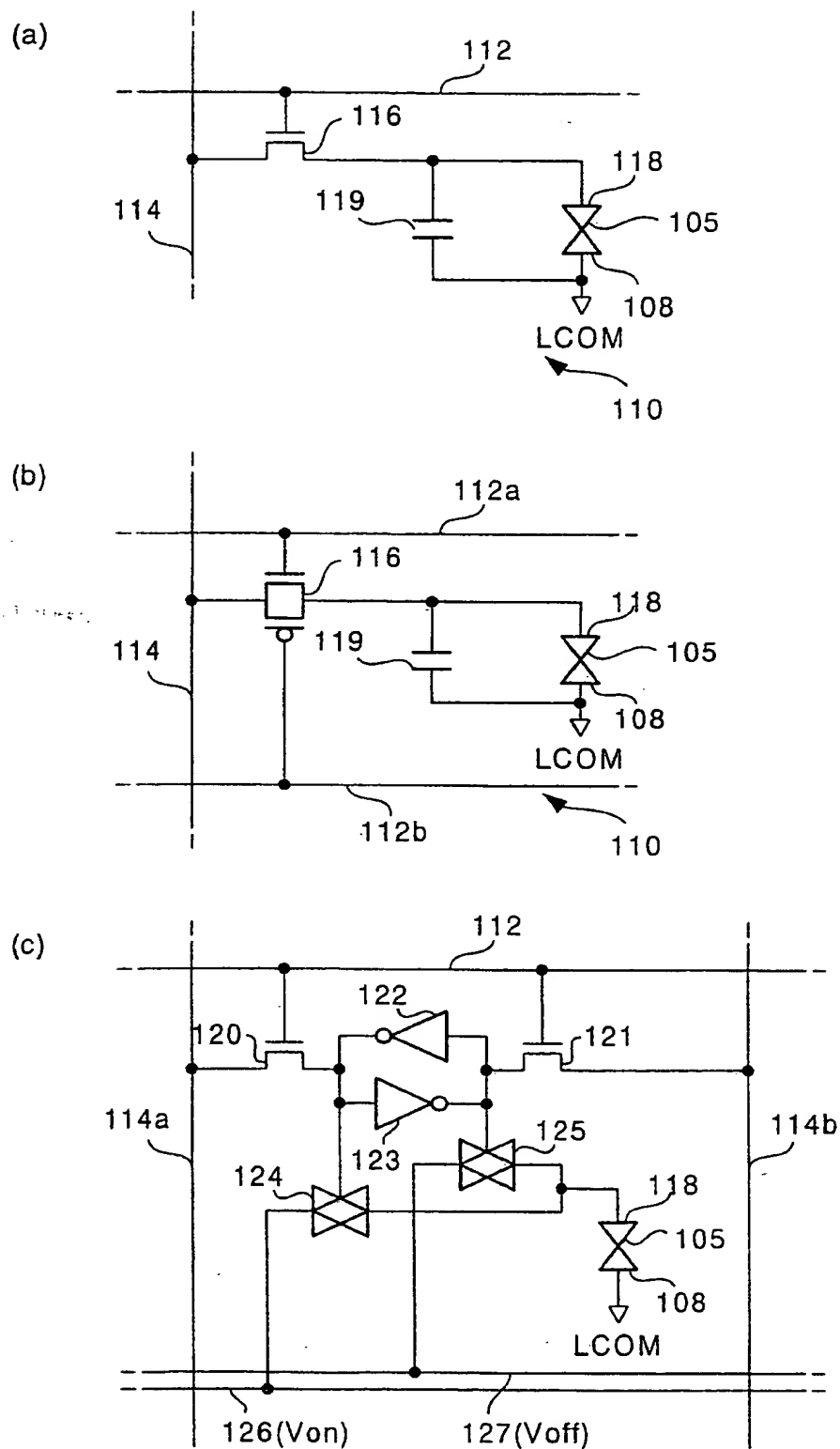


This Page Blank (uspto)



Fig. 4

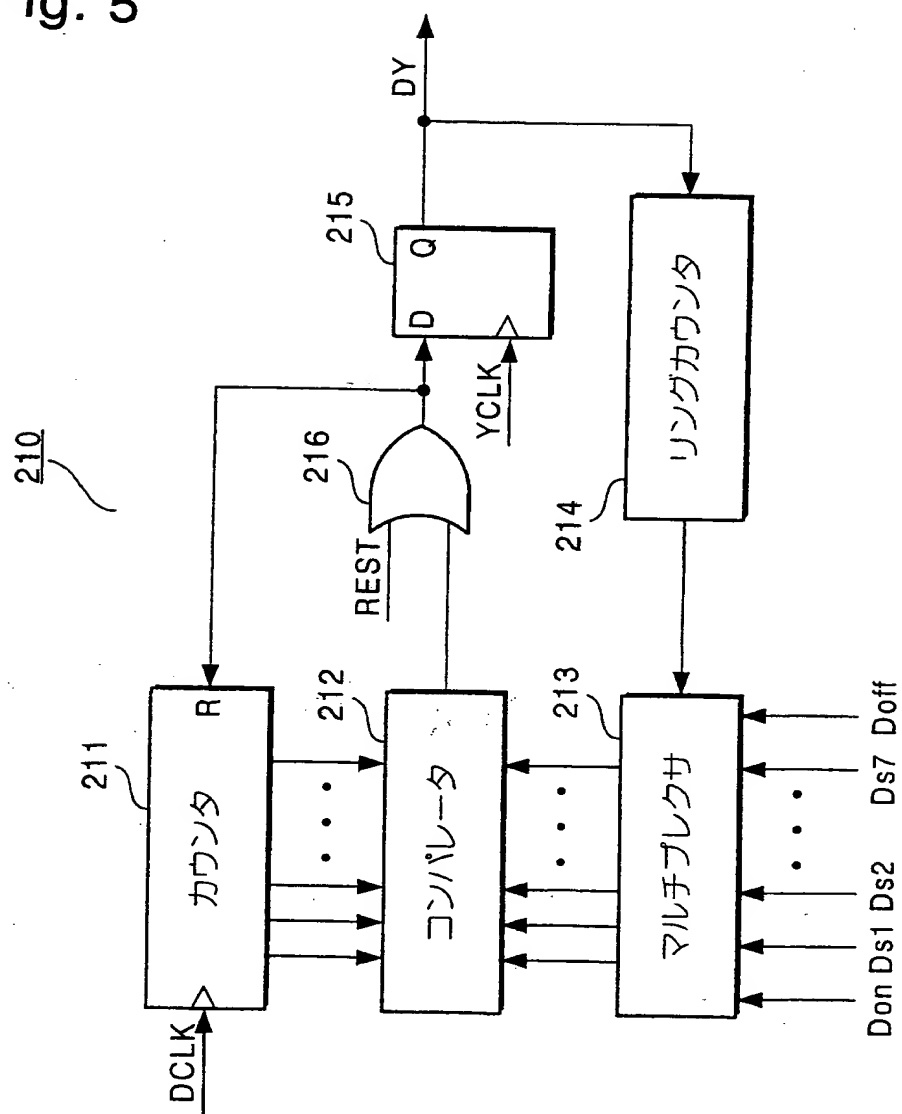
4 / 2 1



This Page Blank (uspto)

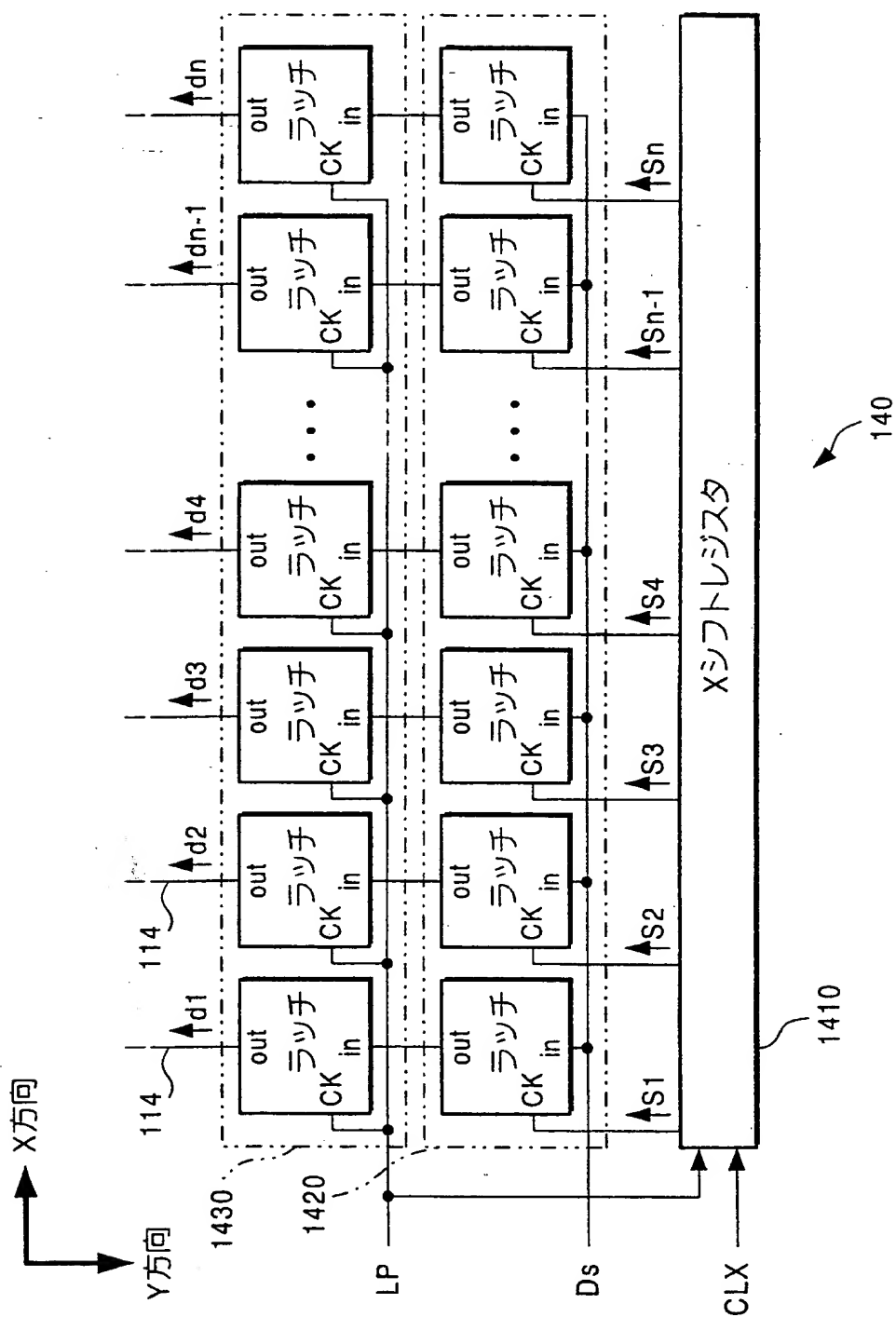
5 / 21

Fig. 5



This Page Blank (uspto

**Fig. 6**



This Page Blank (uspto)

7/21

Fig. 7

(a) FR=L の場合

階調データ D0~D2	Ds						
	Sf1	Sf2	Sf3	Sf4	Sf5	Sf6	Sf7
(000)	L	L	L	L	L	L	L
(001)	H	L	L	L	L	L	L
(010)	H	H	L	L	L	L	L
(011)	H	H	H	L	L	L	L
(100)	H	H	H	H	L	L	L
(101)	H	H	H	H	H	L	L
(110)	H	H	H	H	H	H	L
(111)	H	H	H	H	H	H	H

	Ds
Von期間	H
Voff期間	L

(b) FR=H の場合

階調データ D0~D2	Ds						
	Sf1	Sf2	Sf3	Sf4	Sf5	Sf6	Sf7
(000)	H	H	H	H	H	H	H
(001)	L	H	H	H	H	H	H
(010)	L	L	H	H	H	H	H
(011)	L	L	L	H	H	H	H
(100)	L	L	L	L	H	H	H
(101)	L	L	L	L	L	H	H
(110)	L	L	L	L	L	L	H
(111)	L	L	L	L	L	L	L

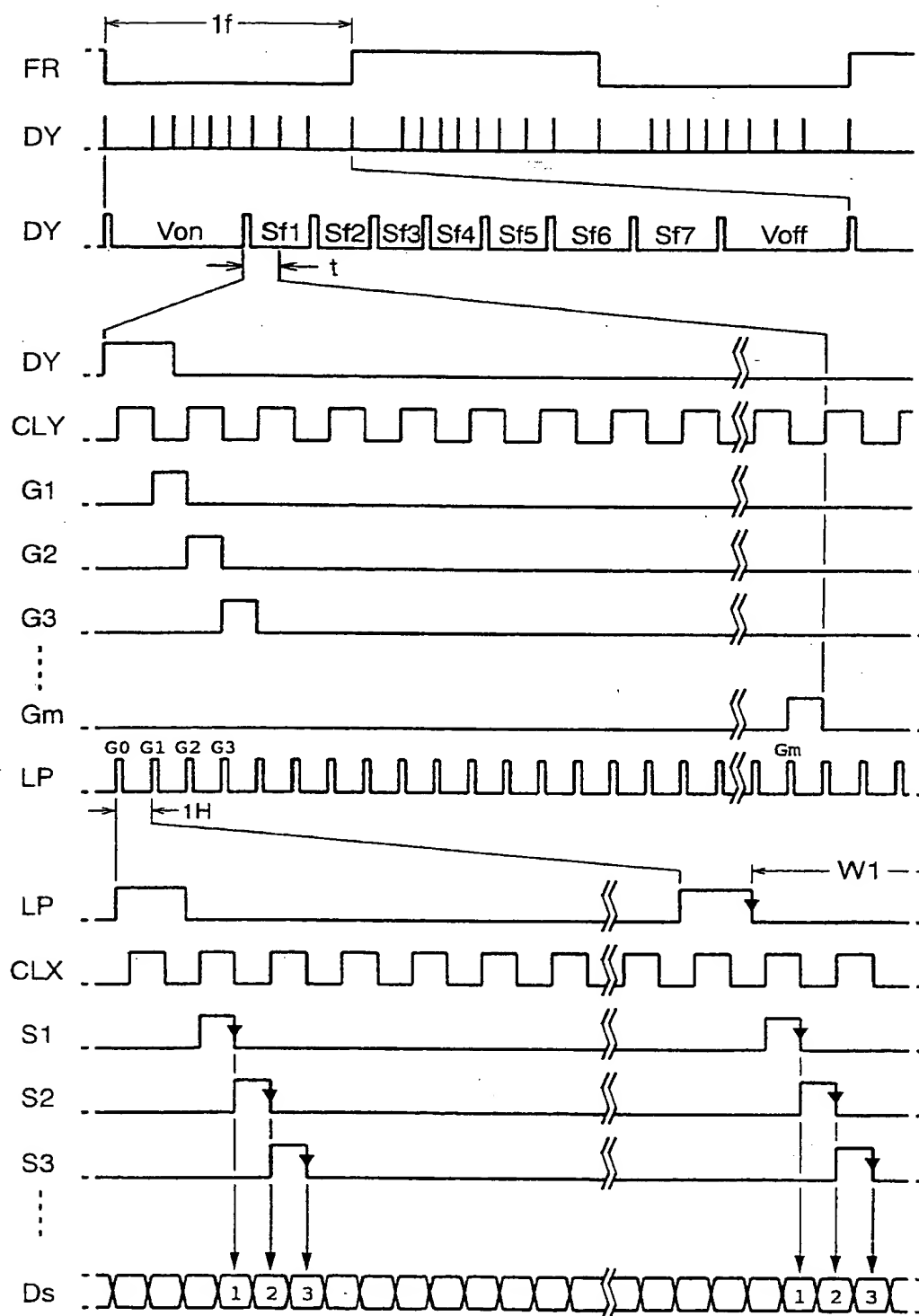
	Ds
Von期間	L
Voff期間	H

This Page Blank (uspto)



8 / 2 1

Fig. 8

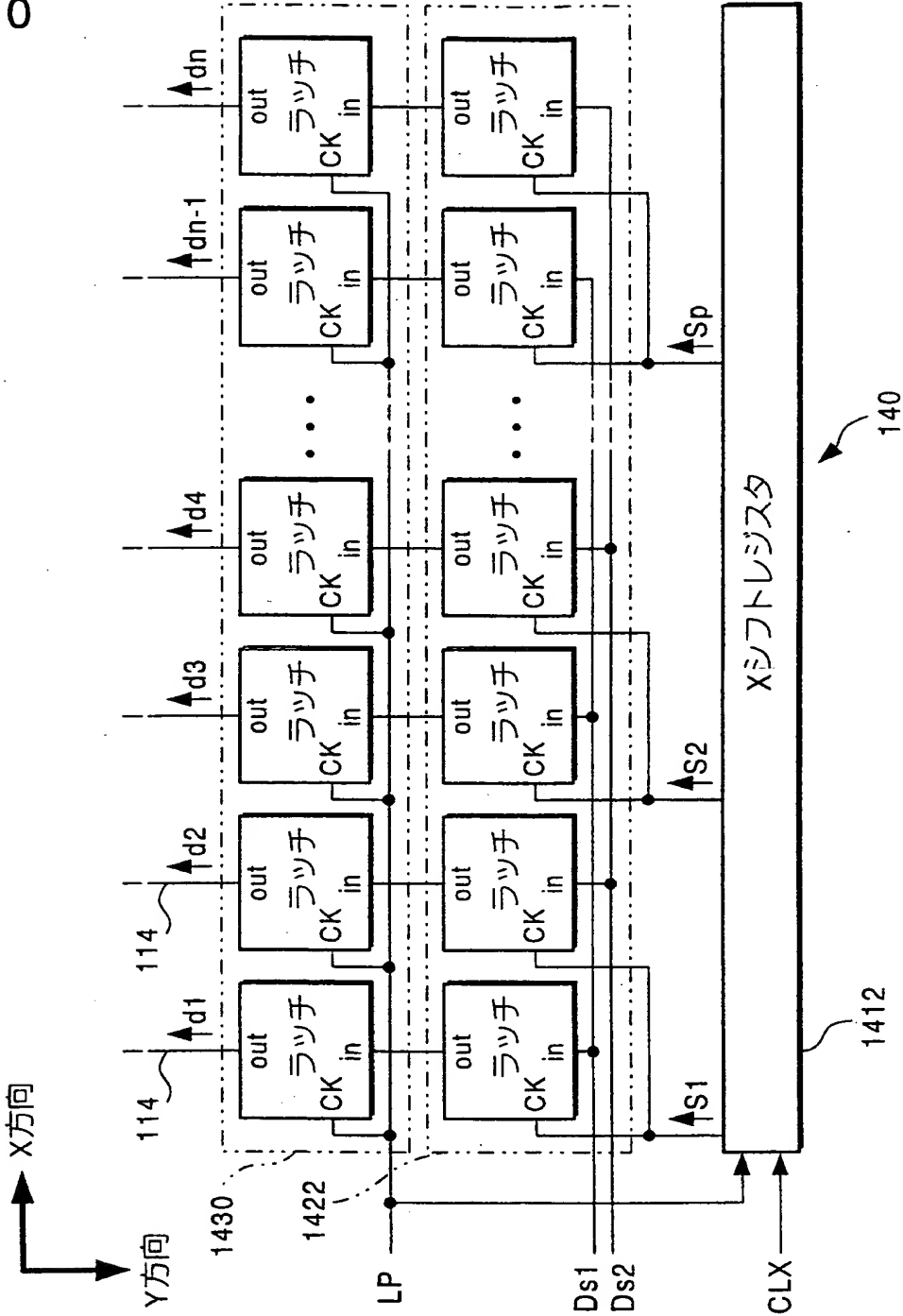


This Page Blank (uspto)



This Page Blank (uspto)

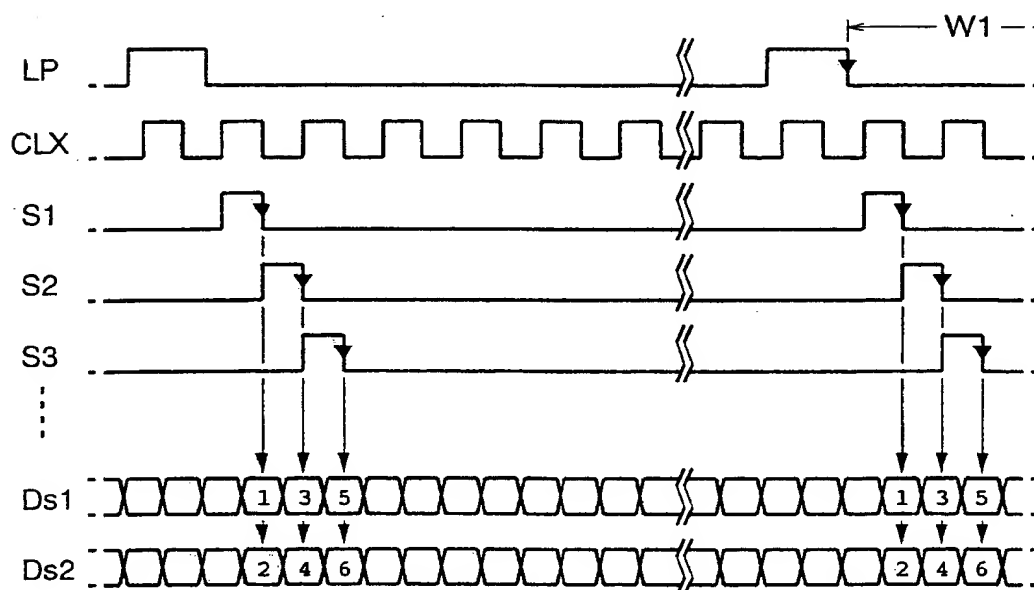
Fig. 10



**This Page Blank (uspto)**

11 / 21

Fig. 11

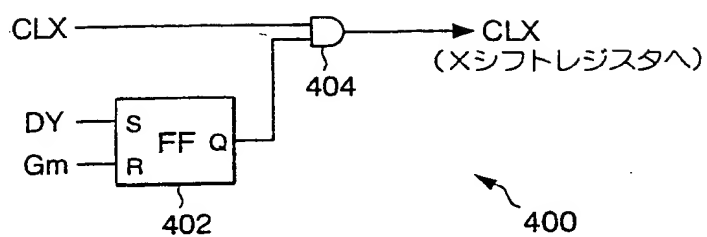


This Page Blank (uspto)



1 2 / 2 1

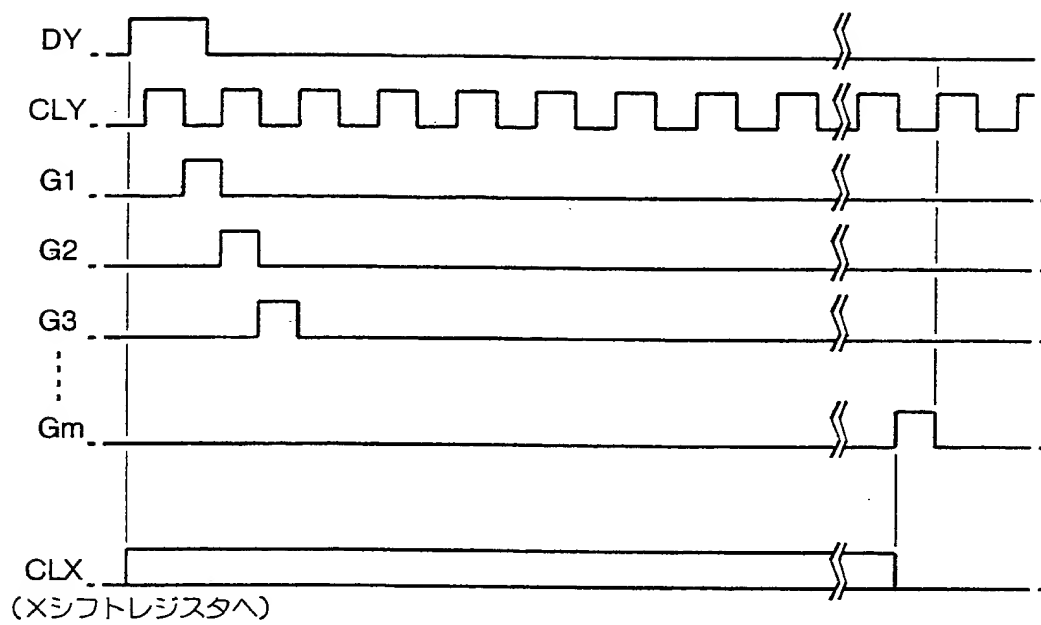
Fig. 12



**This Page Blank (uspto)**

13 / 21

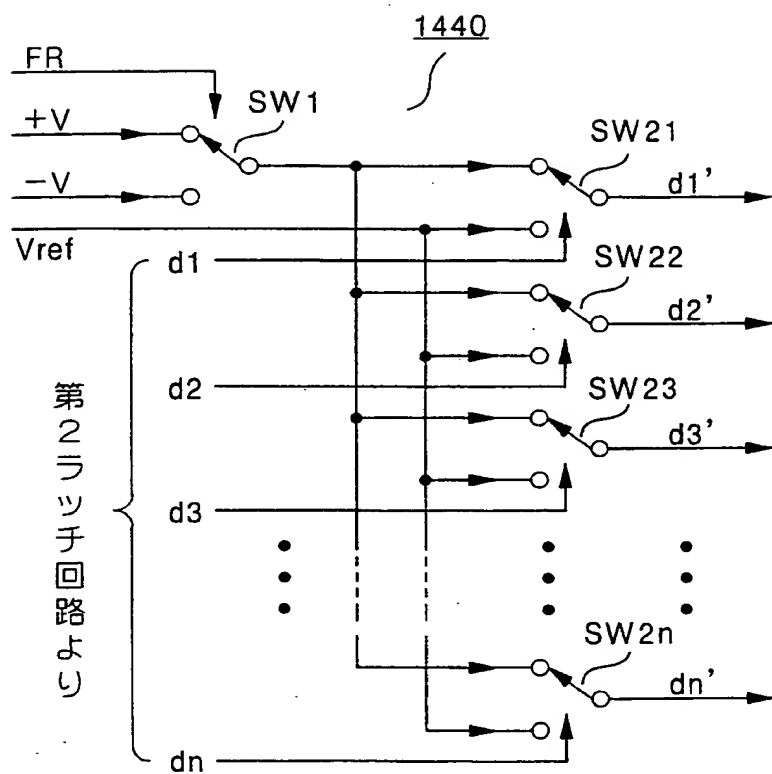
Fig. 13



This Page Blank (uspto)

14/21

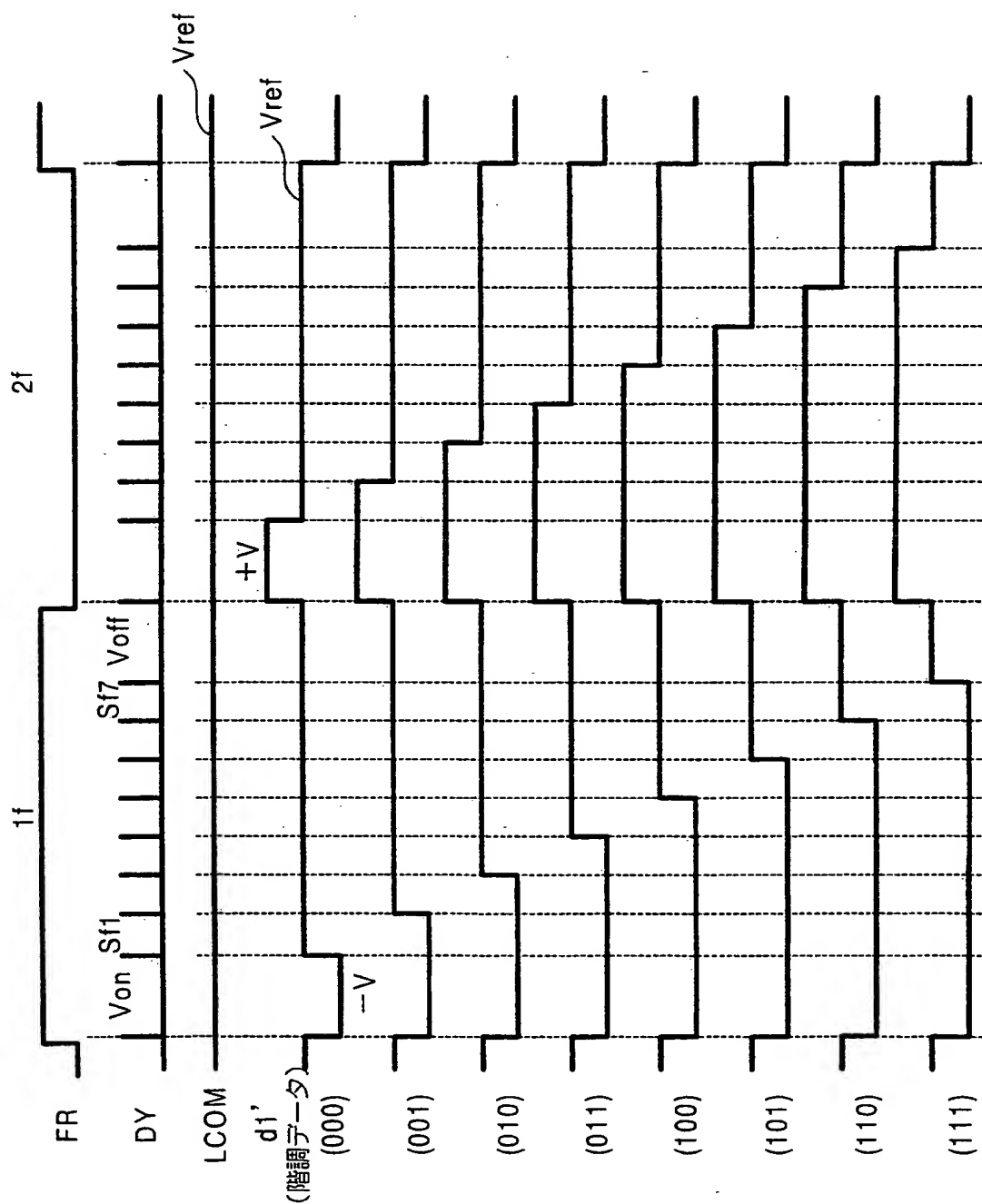
Fig. 14



**This Page Blank (uspto)**

Fig.15

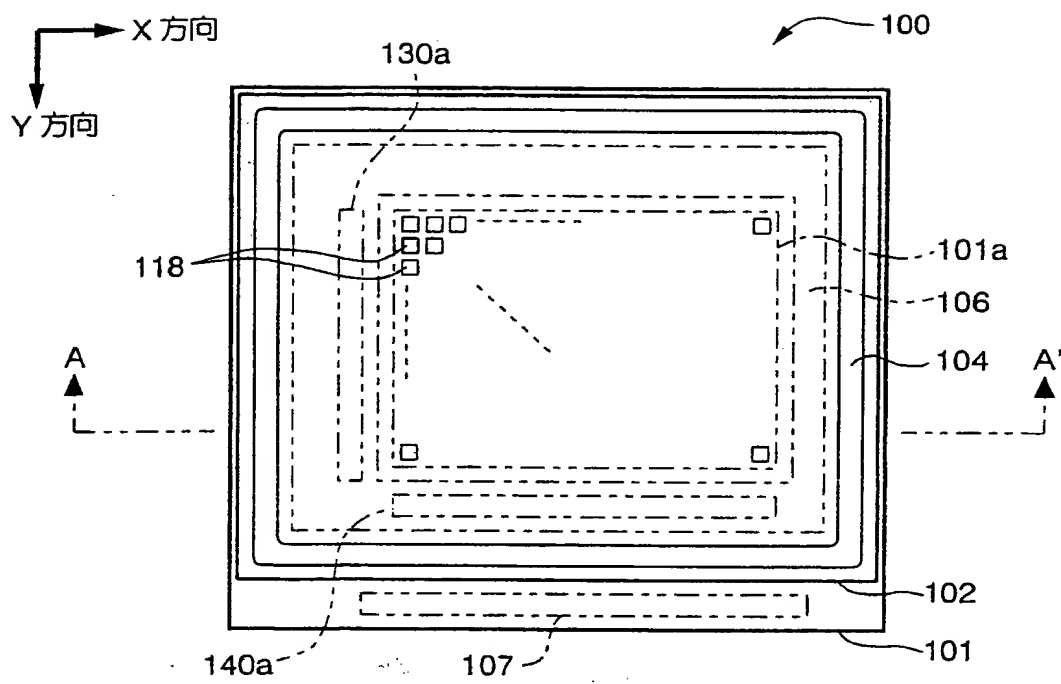
15/21



**This Page Blank (uspto)**

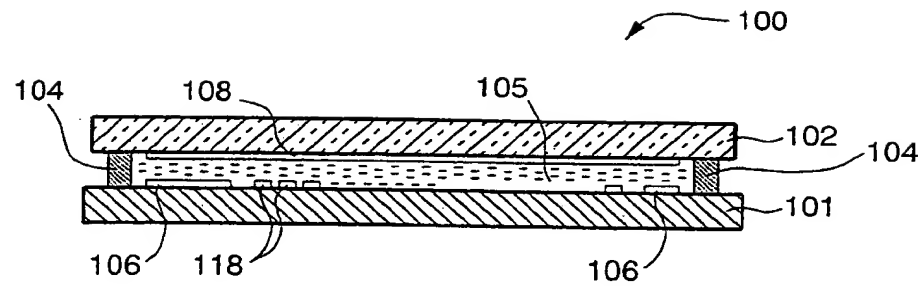


Fig.16



**This Page Blank (uspto)**

Fig.17



**This Page Blank (uspto)**

18/21

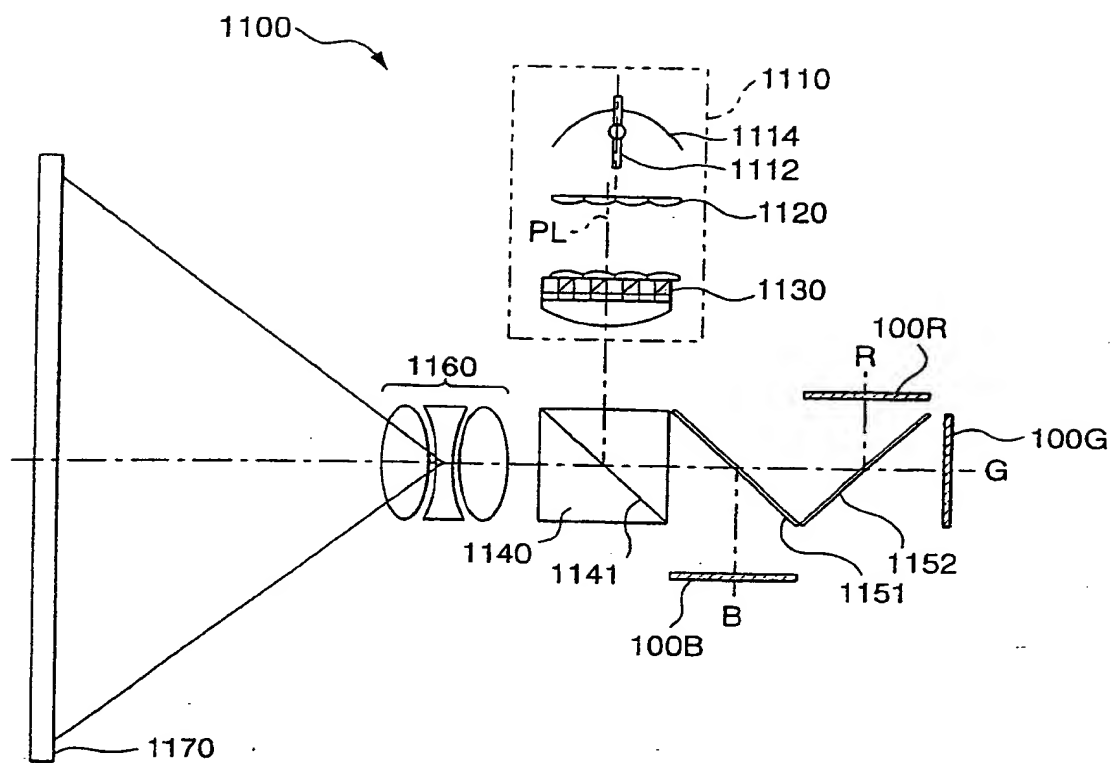
Fig.18

	11							11								
	Von	Sf1	Sf2	Sf3	Sf4	Sf5	Sf6	Sf7	Von	Sf1	Sf2	Sf3	Sf4	Sf5	Sf6	Sf7
LCOM																
階調データD0~D2																
(000)	H	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H
(001)	H	H	L	L	L	L	L	L	L	L	H	H	H	H	H	H
(010)	H	H	H	L	L	L	L	L	L	L	L	H	H	H	H	H
(011)	H	H	H	H	L	L	L	L	L	L	L	L	H	H	H	H
(100)	H	H	H	H	H	L	L	L	L	L	L	L	L	H	H	H
(101)	H	H	H	H	H	H	L	L	L	L	L	L	L	L	H	H
(010)	H	H	H	H	H	H	H	L	L	L	L	L	L	L	L	H
(111)	H	H	H	H	H	H	H	H	L	L	L	L	L	L	L	L

This Page Blank (uspto)

19/21

Fig.19

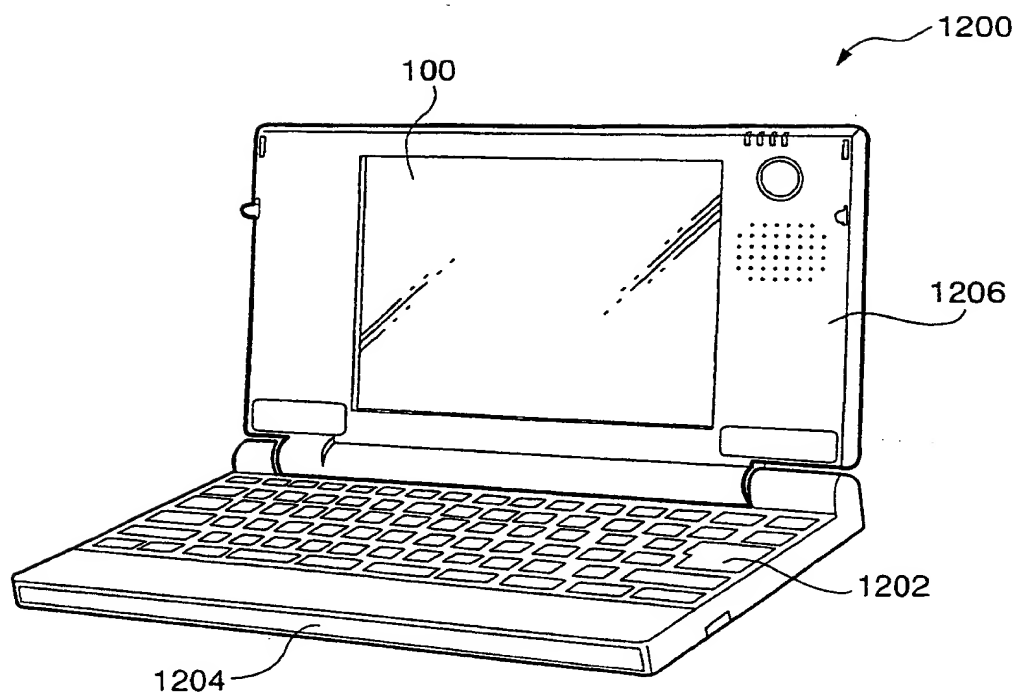


**This Page Blank (uspto)**



20/21

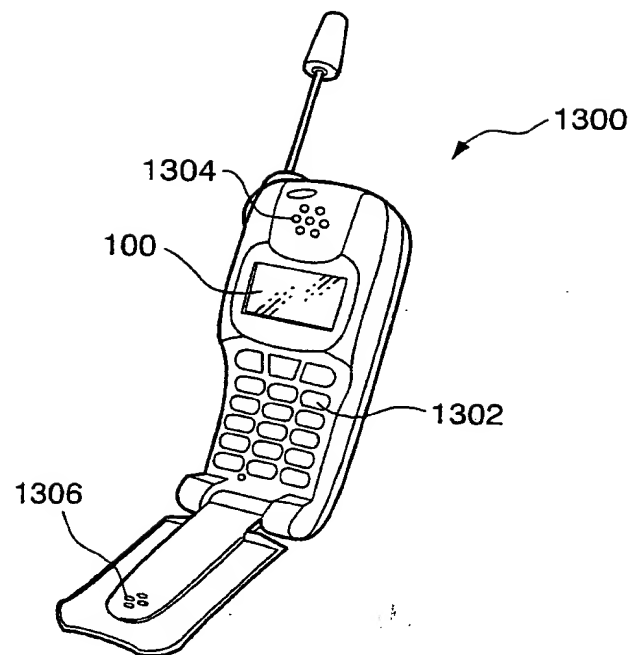
Fig.20



This Page Blank (uspto)

21 / 21

Fig.21



**This Page Blank (uspto)**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06621

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G09G3/36, 3/20  
G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G3/36, 3/20  
G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 9-319342, A (Sharp Corporation), 12 December, 1997 (12.12.97), Full text; Figs. 1 to 18 (Family: none)	1-23
A	JP, 61-5295, A (Casio Computer Co, Ltd.), 11 January, 1986 (11.01.86), Full text; Figs. 1 to 6 (Family: none)	1-23

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
11 December, 2000 (11.12.00)Date of mailing of the international search report  
16 January, 2001 (16.01.01)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**This Page Blank (uspto)**

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

IntCl<sup>1</sup> G09G3/36, 3/20  
G02F1/133

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

IntCl<sup>1</sup> G09G3/36, 3/20  
G02F1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996  
日本国公開実用新案公報 1971-2000  
日本国登録実用新案公報 1994-2000  
日本国実用新案登録公報 1996-2000

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 9-319342, A (シャープ株式会社) 12. 12月. 1997 (12. 12. 97) 全文, 第1-18図, (ファミリー 無し)	1-23
A	JP, 61-5295, A (カシオ計算機株式会社) 11. 1月. 1986 (11. 01. 86) 全文, 第1-6図, (ファミリー無 し)	1-23

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

11. 12. 00

国際調査報告の発送日

16.01.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小松 徹三

2G 8326

電話番号 03-3581-1101 内線 3226

This Page Blank (uspto)